

[19]中华人民共和国国家知识产权局

[51]Int. Cl⁶

H01L 29/87

H01L 27/04

[12] 发明专利申请公开说明书

[21] 申请号 97199501.X

[43]公开日 1999 年 11 月 24 日

[11]公开号 CN 1236485A

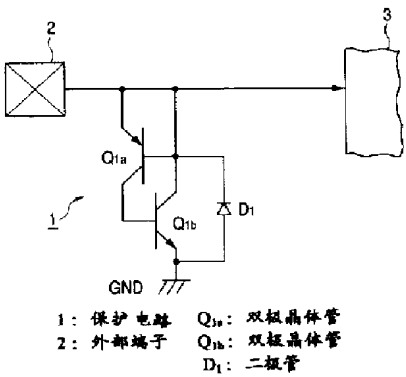
[22]申请日 97.10.30 [21]申请号 97199501.X
[30]优先权
[32]96.11.7 [33]JP [31]295037/96
[86]国际申请 PCT/JP97/03964 97.10.30
[87]国际公布 WO98/20564 日 98.5.14
[85]进入国家阶段日期 99.5.6
[71]申请人 株式会社日立制作所
地址 日本东京
共同申请人 日本超大规模集成电路系统株式会社
[72]发明人 石堀裕康 奥山幸佑
久保田胜彦

[74]专利代理机构 中国国际贸易促进委员会专利商标事
务所
代理人 王永刚

权利要求书 10 页 说明书 29 页 附图页数 26 页

[54]发明名称 半导体集成电路器件及其制造方法
[57]摘要

为了消除由于加于外部端子上的过电压的极性造成的抗 ESD 性的差异,提高 半导体集成电路器件对于正和负过电压的抗 ESD 性,在外部端子和地电位之间,设置具有晶闸管结构的保护元件,用于保护内部电路不受正过电压影响,提供 由二极管 D1 构成的保护元件,保护内部电路不受负过电压影响。



ISSN 1008-4274

权 利 要 求 书

1. 一种半导体集成电路器件, 包括:

电连接在外部端子和地电位之间具有晶闸管结构的保护元件, 所说保护元件设置在半导体衬底上, 及

用作保护元件的二极管, 其电连接在所说外部端子和所说地电位之间, 以便在负过压加到所说外部端子上时, 所说二极管正向连接。

2. 根据权利要求 1 的半导体集成电路器件, 其中具有晶闸管结构的所说保护元件包括:

导电类型与半导体衬底相反的第一半导体区, 该区形成于半导体衬底的上层中;

导电类型与半导体衬底相反的第二半导体区, 所说第二半导体区形成于半导体衬底的上层中, 以便与所说第一阱隔开;

对应于与所说第一半导体区相反导电类型的区的第三半导体区, 所说第三半导体区形成于半导体衬底上至少所说第一半导体区和所说第二半导体区之间;

形成于所说第一半导体区内的第四半导体区, 该区由与所说第一区相同导电类型的半导体区构成, 并电连接到所说外部端子;

形成于所说第一半导体区内以便与所说第四半导体区相邻的第五半导体区, 该区由与所说第一半导体区相反导电类型的半导体区构成, 并电连接到所说外部端子;

与所说第一半导体区相同导电类型的第六半导体区, 所说第六半导体区具有位于所说第一半导体区中的一部分, 及位于所说第一半导体区和所说第二半导体区之间的区域中的另一部分; 及

第七半导体区, 具有位于所说第二半导体区中的一部分, 及位于所说第一半导体区和所说第二半导体区之间区域的另一部分, 以便与所说第六半导体区隔开, 所说第七半导体区由导电类型与所说第一半导体区相同的半导体区构成, 并电连接到所说地电位;

具有导电类型与所说第一半导体区相反的第八半导体区的二极

管，所说第八半导体区电连接到所说地电位，且设置于所说第一半导体区内。

3·根据权利要求 2 的半导体集成电路器件，其中所说第四半导体区和所说第八半导体区设置成它们的长边彼此平行相对。

4·根据权利要求 2 或 3 的半导体集成电路器件，其中在所说半导体衬底上提供导电类型与所说第一半导体区相反的第九半导体区，以便包围具有晶闸管结构的所说保护元件和具有二极管结构的所说保护元件，并将第九半导体区电连接到地电位。

5·一种制造半导体集成电路器件的方法，包括以下步骤：

在制造根据权利要求 2 的半导体集成电路器件的工艺中，用相同的光刻胶图形作掩模，同时进行用于形成所说第五半导体区和所说第八半导体区的杂质引入步骤。

6·一种制造半导体集成电路器件的方法，包括以下步骤：在制造根据权利要求 4 的半导体集成电路器件的工艺中，用相同的光刻胶图形作掩模，同时进行用于形成所说第五半导体区、所说第八半导体区和所说第九半导体区的杂质引入步骤。

7·一种半导体集成电路器件，包括：

用于从外部输入信号的信号外部端子；

从外部提供参考电位的参考电位外部端子；

具有晶闸管结构的保护元件；

具有二极管结构的保护元件；

所说信号外部端子、所说参考电位外部端子、具有晶闸管结构的所说保护元件和具有二极管结构的所说保护元件设置于半导体衬底上；及

一种保护电路结构，其中具有晶闸管结构的所说保护元件和具有二极管结构的所说保护元件并联于所说信号外部端子和所说参考电位外部端子之间，

具有晶闸管结构的所说保护元件包括，

第一导电类型的第一半导体区，该区形成于所说半导体衬底中；



第一导电类型的第二半导体区，该区形成于所说半导体衬底中与所说第一半导体区隔开的位置；

第二导电类型的第三半导体区，所说第三半导体区对应于导电类型与所说第一导电类型相反的区，该区形成于所说半导体衬底中至少所说第一导电类型的第一半导体区和所说第一导电类型的第二半导体区之间；

第一导电类型的第四半导体区，该区形成于所说第一导电类型的第一半导体区内，且与所说信号外部端子电连接；

第二导电类型的第五半导体区，该区形成于所说第一导电类型的第一半导体区内，且与所说信号外部端子电连接；

第一导电类型的第六半导体区，所说第六半导体区形成于所说半导体衬底中，以便其一部分位于所说第一导电类型的第一半导体区和所说第二导电类型的第三半导体区内；及

形成于所说半导体衬底中第一导电类型的第七半导体区，以便其一部分位于所说第一导电类型的第二半导体区和所说第二导电类型的第三半导体区内，所说第七半导体区与所说参考电位外部端子电连接；及

具有二极管结构的所说保护元件包括，

第二导电类型的第八半导体区，该区形成于所说第一导电类型的第一半导体区内，且与所说参考电位外部端子电连接。

8·根据权利要求 7 的半导体集成电路器件，其中所说第一导电类型的第四半导体区和所说第二导电类型的第八半导体区设置成使其各长边彼此平行相对。

9·根据权利要求 7 的半导体集成电路器件，其中所说第一导电类型的第六半导体区的杂质密度大于所说第一导电类型的第一半导体区，所说第一导电类型的第七半导体区的杂质密度大于所说第一导电类型的第二半导体区。

10·根据权利要求 9 的半导体集成电路器件，其中连接所说信号外部端子和所说第二导电类型的第五半导体区的互连包括金属膜。

11·根据权利要求 9 的半导体集成电路器件，还包括形成为在平面基础上包围所说第一导电类型的第四半导体区、所说第二导电类型的第五半导体区、所说第一导电类型的第六半导体区、所说第一导电类型的第七半导体区和所说第二导电类型的第八半导体区的第二导电类型的第九半导体区。

12·一种半导体集成电路器件，包括：

半导体衬底；

形成于所说半导体衬底上的 MIS 晶体管，该晶体管具有栅、源和漏；

形成于所说半导体衬底上的信号外部端子，该端子与所说 MIS 晶体管的栅电连接，以给所说 MIS 晶体管的栅输入外部提供的信号；

形成于所说半导体衬底上的参考电位外部端子，该端子与所说 MIS 晶体管的源电连接，以给所说 MIS 晶体管的源提供外部输入的参考电位；

具有晶闸管结构的保护元件，其形成于所说半导体衬底上，并电连接在所说信号外部端子和所说参考电位外部端子之间；

具有二极管结构的保护元件，其形成于所说半导体衬底上，并电连接在所说信号外部端子和所说参考电位外部端子之间；及

设置在所说半导体衬底的保护元件，所说保护元件设置在具有晶闸管结构的所说保护元件及具有二极管结构的所说保护元件和所说 MIS 晶体管的栅之间，并电连接在所说信号外部端子和所说参考电位外部端子之间，用于在大于其正常工作时所用的电压加到所说 MIS 晶体管上时，减小所说 MIS 晶体管的源和栅之间的电位差。

13·根据权利要求 12 的半导体集成电路器件，其中用于减小所说 MIS 晶体管的源和栅间的电位差的所说保护元件是形成于所说半导体衬底中的又一二极管。

14·根据权利要求 13 的半导体集成电路器件，还包括设置于所说又一二极管和所说具有晶闸管结构的保护元件之间的电阻元件，该电阻元件串联于所说信号外部端子和所说 MIS 晶体管的栅之间。

15·根据权利要求 12 的半导体集成电路器件，其中用于减小所说 MIS 晶体管的源和栅间的电位差的所说保护元件是形成于所说半导体衬底中的一个保护 MIS 晶体管，所说保护 MIS 晶体管的漏和源分别电连接到所说信号外部端子和所说参考电位外部端子，其栅电连接到所说参考电位外部端子。

16·根据权利要求 15 的半导体集成电路器件，还包括设置于所说保护 MIS 晶体管和所说具有晶闸管结构的保护元件之间的电阻元件，该电阻元件串联于所说信号外部端子和所说 MIS 晶体管的栅之间。

17·根据权利要求 12 的半导体集成电路器件，其中在具有晶闸管结构的所说保护元件后的一级和所说 MIS 晶体管前的一级，提供触发具有晶闸管结构的所说保护元件的驱动的触发元件，该触发元件电连接于所说信号外部端子和所说参考电位外部端子之间。

18·根据权利要求 17 的半导体集成电路器件，其中所说触发元件包括触发 MIS 晶体管，所说 MIS 晶体管的漏电连接到用于连接所说信号外部端子和所说 MIS 晶体管的互连，其源和栅电连接到所说参考电位外部端子。

19·根据权利要求 12 的半导体集成电路器件，其中具有晶闸管结构的所说保护元件包括，

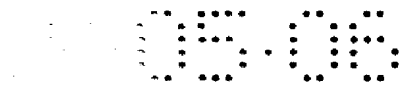
第一导电类型的第一半导体区，该区形成于所说半导体衬底中；

第一导电类型的第二半导体区，该区形成于所说半导体衬底中与所说第一半导体区隔开的位置；

第二导电类型的第三半导体区，所说第三半导体区对应于导电类型与所说第一导电类型相反的区，该区形成于所说半导体衬底中至少所说第一导电类型的第一半导体区和所说第一导电类型的第二半导体区之间；

第一导电类型的第四半导体区，该区形成于所说第一导电类型的第一半导体区内，且与所说信号外部端子电连接；

第二导电类型的第五半导体区，该区形成于所说第一导电类型的



第一半导体区内，且与所说信号外部端子电连接；

第一导电类型的第六半导体区，所说第六半导体区形成于所说半导体衬底中，以便其一部分位于所说第一导电类型的第一半导体区和所说第二导电类型的第三半导体区内；及

第一导电类型的第七半导体区，该区形成于所说半导体衬底中，以便其一部分位于所说第一导电类型的第二半导体区和所说第二导电类型的第三半导体区内，所说第七半导体区与所说参考电位外部端子电连接；及

具有二极管结构的所说保护元件包括，

第二导电类型的第八半导体区，该区形成于所说第一导电类型的第一半导体区内，且与所说参考电位外部端子电连接。

20·根据权利要求 19 的半导体集成电路器件，其中所说第一导电类型的第四半导体区和所说第二导电类型的第八半导体区设置成其各长边彼此平行相对。

21·根据权利要求 19 的半导体集成电路器件，其中所说第一导电类型的第六半导体区的杂质密度大于所说第一导电类型的第一半导体区，所说第一导电类型的第七半导体区的杂质密度大于所说第一导电类型的第二半导体区。

22·根据权利要求 21 的半导体集成电路器件，其中连接所说信号外部端子和所说第二导电类型的第五半导体区的互连包括金属膜。

23·根据权利要求 21 的半导体集成电路器件，还包括形成为在平面基础上包围所说第一导电类型的第四半导体区、所说第二导电类型的第五半导体区、所说第一导电类型的第六半导体区、所说第一导电类型的第七半导体区和所说第二导电类型的第八半导体区的第二导电类型的第九半导体区。

24·一种半导体集成电路器件，包括：

用于从外部输入信号的信号外部端子；

从外部提供参考电位的参考电位外部端子；

具有源、漏和栅的 MIS 晶体管，所说栅电连接到所说信号外部端子，所说源电连接到所说参考电位外部端子；

具有晶闸管结构的保护元件；及

具有二极管结构的保护元件；

所说信号外部端子、所说参考电位外部端子、所说 MIS 晶体管、具有晶闸管结构的所说保护元件和具有二极管结构的所说保护元件设置于半导体衬底上；及

其中具有晶闸管结构的所说保护元件和具有二极管结构的所说保护元件并联于所说信号外部端子和所说参考电位外部端子之间，

具有晶闸管结构的所说保护元件包括，

第一导电类型的第一半导体区，该区形成于所说半导体衬底中；

第一导电类型的第二半导体区，该区形成于所说半导体衬底中与所说第一半导体区隔开的位置；

第二导电类型的第三半导体区，所说第三半导体区对应于导电类型与所说第一导电类型相反的区，该区形成于所说半导体衬底中至少所说第一导电类型的第一半导体区和所说第一导电类型的第二半导体区之间；

第一导电类型的第四半导体区，该区形成于所说第一导电类型的第一半导体区内，且与所说信号外部端子电连接；

第二导电类型的第五半导体区，该区形成于所说第一导电类型的第一半导体区内，且与所说信号外部端子电连接；

第一导电类型的第六半导体区，所说第六半导体区形成于所说半导体衬底中，以便其一部分位于所说第一导电类型的第一半导体区和所说第二导电类型的第三半导体区内；及

第一导电类型的第七半导体区，其形成于所说半导体衬底中，以便其一部分位于所说第一导电类型的第二半导体区和所说第二导电类型的第三半导体区内，所说第七半导体区与所说参考电位外部端子电连接；及

具有二极管结构的所说保护元件包括，

第二导电类型的第八半导体区，该区形成于所说第一导电类型的第一半导体区内，且与所说参考电位外部端子电连接。

25·根据权利要求 24 的半导体集成电路器件，其中所说第一导电类型的第四半导体区和所说第二导电类型的第八半导体区设置成使其各长边彼此平行相对。

26·根据权利要求 24 的半导体集成电路器件，其中所说第一导电类型的第六半导体区的杂质密度大于所说第一导电类型的第一半导体区，所说第一导电类型的第七半导体区的杂质密度大于所说第一导电类型的第二半导体区。

27·根据权利要求 26 的半导体集成电路器件，其中连接所说信号外部子和所说第二导电类型的第五半导体区的互连包括金属膜。

28·根据权利要求 26 的半导体集成电路器件，还包括形成为在平面基础上包围所说第一导电类型的第四半导体区、所说第二导电类型的第五半导体区、所说第一导电类型的第六半导体区、所说第一导电类型的第七半导体区和所说第二导电类型的第八半导体区的第二导电类型的第九半导体区。

29·一种半导体集成电路器件，包括：

用于从外部输入信号的信号外部端子；

从外部提供参考电位的参考电位外部端子；

从外部提供半导体集成电路的高电位电源电压的高电位外部端子；

电连接在所说参考电位外部端子和所说高电位外部端子间的 MIS 晶体管，其栅电连接到所说信号外部端子；

具有晶闸管结构的保护元件；

具有二极管结构的保护元件；

所说信号外部端子、所说参考电位外部端子、所说高电位外部端子、所说 MIS 晶体管、具有晶闸管结构的所说保护元件和具有二极管结构的所说保护元件设置于半导体衬底上；及

其中具有晶闸管结构的所说保护元件和具有二极管结构的所说



保护元件并联于所说信号外部端子和所说参考电位外部端子之间；及

设置在所说半导体衬底的保护元件，所说保护元件设置于具有晶闸管结构的所说保护元件及具有二极管结构的所说保护元件与所说 MIS 晶体管之间，且电连接于所说信号外部端子和所说参考电位外部端子之间及所说信号外部端子和所说高电位外部端子之间，用于在大于其正常工作所用的电压加到所说 MIS 晶体管上时，减小所说 MIS 晶体管的输入和输出间的电位差。

30·根据权利要求 29 的半导体集成电路器件，其中用于减小所说 MIS 晶体管的输入和输出间电位差的所说保护元件是形成于所说半导体衬底中的又一二极管。

31·根据权利要求 30 的半导体集成电路器件，还包括设置于所说又一二极管和所说具有晶闸管结构的保护元件之间的电阻元件，该电阻元件串联于所说信号外部端子和所说 MIS 晶体管的栅之间。

32·根据权利要求 29 的半导体集成电路器件，其中所说 MIS 晶体管是一包括 n 沟道 MIS 晶体管和 p 沟道 MIS 晶体管的互补 MIS 晶体管。

33·根据权利要求 29 的半导体集成电路器件，其中具有晶闸管结构的所说保护元件包括：

第一导电类型的第一半导体区，该区形成于所说半导体衬底中；

第一导电类型的第二半导体区，该区形成于所说半导体衬底中与所说第一半导体区隔开的位置；

第二导电类型的第三半导体区，所说第三半导体区对应于导电类型与所说第一导电类型相反的区，该区形成于所说半导体衬底中至少所说第一导电类型的第一半导体区和所说第一导电类型的第二半导体区之间；

第一导电类型的第四半导体区，该区形成于所说第一导电类型的第一半导体区内，且与所说信号外部端子电连接；

第二导电类型的第五半导体区，该区形成于所说第一导电类型的第一半导体区内，且与所说信号外部端子电连接；

第一导电类型的第六半导体区，所说第六半导体区形成于所说半导体衬底中，以便其一部分位于所说第一导电类型的第一半导体区和所说第二导电类型的第三半导体区内；及

第一导电类型的第七半导体区，该区形成于所说半导体衬底中，以便其一部分位于所说第一导电类型的第二半导体区和所说第二导电类型的第三半导体区内，所说第七半导体区与所说参考电位外部端子电连接；及

具有二极管结构的所说保护元件包括，

第二导电类型的第八半导体区，该区形成于所说第一导电类型的第一半导体区内，且与所说参考电位外部端子电连接。

34·根据权利要求 33 的半导体集成电路器件，其中在具有晶闸管结构的所说保护元件后的一级和所说 MIS 晶体管前的一级，提供触发具有晶闸管结构的所说保护元件的驱动的触发元件，该触发元件电连接于所说信号外部端子和所说参考电位外部端子之间，以便其漏电连接到连接所说信号外部端子与所说 MIS 晶体管的互连，其源和栅电连接到所说参考电位外部端子，所说触发 MIS 晶体管的源是由构成具有晶闸管结构的保护元件的所说第七半导体区形成的。



说明书

半导体集成电路器件及其制造方法

本发明涉及一种半导体集成电路器件及其制造技术，特别涉及有效地用于具有晶闸管结构的保护电路的半导体集成电路器件的技术及其制造技术。

随着半导体制造工艺领域微细处理技术的进步，构成半导体集成电路器件的元件、互连等的微细化也在向前发展。由于半导体集成电路器件的微细化，其性能日益提高。

然而，另一方面，也产生了一个问题，微细化的元件、互连等对于如静电等过电压或过压极脆弱，容易断开。所以极需要对由静电引起的退化和破坏现象的机制作出解释，并建立保护结构，以确保半导体集成电路器件的可靠性。

同时，本发明人讨论了具有晶闸管结构的保护电路。该保护电路与用于连接外部端子与内部电路的布线路径电连接。具体说，例如通过在外端子与地电位之间电连接具有 p^+ 、 n 、 p 和 n^+ 的晶闸管构成该保护电路。

在该保护电路中，放电路径根据外部所加电压的极性改变。该保护电路具有以下结构，其中在外部所加的过电压或过压为正时，保护电路根据晶闸管的工作放电，在过压为负时，其根据每个横向双极晶体管的工作放电。

关于该保护电路，例如在 IEEE, 1991, CUSTOM INTEGRATED CIRCUIT CONFERENCE 27.2.1 中介绍了已知的一种。根据该参考文献，由于用每个都具有大驱动能力的寄生双极晶体管作保护元件，所以允许令人满意地释放冲击电流，从而可以加强抗静电放电（此后称为 ESD）的能力。

另外，例如在 1988EOS/ESD SYMPOSIUM PROCEEDINGS「A PROCESS - TOLERANT INPUT PROTECTION CIRCUIT FOR

ADVANCED CMOS PROCESSES]p201-P205 中介绍了具有晶闸管结构的保护电路结构。在该参考文献中解释了构成该保护电路的晶闸管的基本器件结构和操作。

关于公开了具有晶闸管结构的保护电路的另一参考文献，例如日本专利申请特许公开 4-196352（参考文献 1）或日本专利申请特许公开 6-62529（参考文献 2）中分开了已知的一种。根据参考文献 1 和 2，保护电路的二极管（对应于图 3 中的参考数字 300 或参考文献 1 中的类似数字或图 1 中的符号 D1 或参考文献 2 中的类似符号）设置在用于保护电路的晶闸管器后的一级。然而，这些参考文献中，二极管设置在保护电路的电阻器后的一级，有意在晶闸管后加了一级，并设置于半导体衬底中不同于其中设置晶闸管的阱的区。

然而，本发明人发现一个问题，在具有晶闸管结构的保护电路中，根据外部所加过压的极性，会产生抗 ESD 能力的不同。

即，具有晶闸管结构的保护电路具有这样一个问题，即，由于保持电压低，并且在通过晶闸管进行放电时（加正过压时），通过放电路径所耗费或消耗的能量以低态耗散，抗 ESD 性高，而由于保持电压高，在通过每个横向双极晶体管放电时（在加负过压时），通过放电路径所消耗的能量大，放电电流容易在反型结上集中，抗 ESD 性低。

因此，本发明的目的是提供一种技术，能够消除由加到外部端子上的过压的极性造成的抗 ESD 性的差异，增强半导体集成电路器件对于正过压和负过压的抗 ESD 性。

本说明书的介绍和附图将会使本发明的上述和其它目的及新特点更清楚。

以如下方式简述本申请所公开的典型发明的概况。

根据本发明的一个方案，提供一种半导体集成电路器件，包括：

电连接在外部端子和地电位之间具有晶闸管结构的保护元件，该保护元件设置在半导体衬底上，及

用作保护元件的二极管，其电连接在外部端子和地电位之间，以

便在负过压加到外部端子上时，二极管正向连接。

这样，由于提供允许释放负过压的二极管作保护元件，以及允许释放正过压的晶闸管，在外部端子上加负过压时，允许过电流或过流迅速地通过该二极管从地电位释放到外部端子。因此，甚至可以增强对于负过压的抗 ESD 性。即，根据本发明，由于可以得到对于加到外部端子的正和负过压的高抗 ESD 性，所以可以增强半导体集成电路器件的成品率和可靠性。

另外，由于保护电路元件由占据面积较小的二极管构成，所以不会导致保护电路的整个所占面积显著增大。因此，可以得到对于加到外部端子上的正和负过压的高抗 ESD 性。

根据本发明另一方案，提供一种半导体集成电路器件，其中具有晶闸管结构的保护元件包括：

导电类型与半导体衬底相反的第一半导体区，该区形成于半导体衬底的上层中；

导电类型与半导体衬底相反的第二半导体区，第二半导体区形成于半导体衬底的上层中，以便与第一半导体区隔开；

对应于与第一半导体区相反导电类型的区的第三半导体区，第三半导体区形成于半导体衬底上至少第一半导体区和第二半导体区之间；

形成于第一半导体区内的第四半导体区，该区由与第一区相同导电类型的半导体区构成，并电连接到外部端子；

形成于第一半导体区内以便与第四半导体区相邻的第五半导体区，该区由与第一半导体区相反导电类型的半导体区构成，并电连接到外部端子；

与第一半导体区相同导电类型的第六半导体区，第六半导体区具有位于第一半导体区中的一部分，和位于第一半导体区和第二半导体区之间的区域中的另一部分；及

第七半导体区，具有位于第二半导体区中的一部分和位于第一半导体区和第二半导体区之间区域的另一部分，以便与第六半导体区隔

开，第七半导体区由导电类型与第一半导体区相同的半导体区构成，并电连接到地电位；

具有导电类型与第一半导体区相反的第八半导体区的二极管，第八半导体区电连接到地电位，且设置于第一半导体区内。

这样，由于可以减小用于过流的放电路径的电阻，所以可以迅速地释放过流。

根据本发明再一方案，提供一种半导体集成电路器件，其中第四半导体区和第八半导体区设置成它们的长边彼此平行相对。这样，可以展宽过流放电路径的宽度，并可以减小放电路径的电阻。因此，由于其电阻减小，可以迅速地释放过流。

根据本发明又一方案，提供一种制造半导体集成电路器件的方法，包括以下步骤：在制造半导体集成电路器件的工艺中，用相同光刻胶图形作掩模，同时进行用于形成构成具有晶闸管结构的保护元件的第五半导体区的杂质引入步骤，和用于形成构成由二极管构成的保护元件的第八半导体区的杂质引入步骤。

这样，由于可以简化半导体集成电路器件的制造工艺，所以可以促进半导体集成电路器件制造时间的减少，和制造成本的下降。

根据本发明又再一方案，提供一种半导体集成电路器件，包括：

用于从外部输入信号的信号外部端子；

从外部提供参考电位的参考电位外部端子；

具有晶闸管结构的保护元件；

具有二极管结构的保护元件；

信号外部端子、参考电位外部端子、具有晶闸管结构的保护元件和具有二极管结构的保护元件设置于半导体衬底上；及

一种保护电路结构，其中具有晶闸管结构的保护元件和具有二极管结构的保护元件并联于信号外部端子和参考电位外部端子之间，

具有晶闸管结构的保护元件包括，

第一导电类型的第一半导体区，该区形成于半导体衬底中；

第一导电类型的第二半导体区，该区形成于半导体衬底中与第一

半导体区隔开的位置；

第二导电类型的第三半导体区，第三半导体区对应于导电类型与第一导电类型相反的区，该区形成于半导体衬底中至少第一导电类型的第一半导体区和第一导电类型的第二半导体区之间；

第一导电类型的第四半导体区，该区形成于第一导电类型的第一半导体区内，且与信号外部端子电连接；

第二导电类型的第五半导体区，该区形成于第一导电类型的第一半导体区内，且与信号外部端子电连接；

第一导电类型的第六半导体区，第六半导体区形成于半导体衬底中，以便其一部分位于第一导电类型的第一半导体区和第二导电类型的第三半导体区内；及

第一导电类型的第七半导体区，该区形成于半导体衬底中，以便其一部分位于第一导电类型的第二半导体区和第二导电类型的第三半导体区内，第七半导体区与参考电位外部端子电连接；及

具有二极管结构的保护元件包括，

第二导电类型的第八半导体区，该区形成于第一导电类型的第一半导体区内，且与参考电位外部端子电连接。

根据本发明还一方案，提供一种半导体集成电路，包括：

半导体衬底；

形成于半导体衬底上的 MIS 晶体管，该晶体管具有栅、源和漏；

形成于半导体衬底上的信号外部端子，该端子与 MIS 晶体管的栅电连接，以给 MIS 晶体管的栅输入外部提供的信号；

形成于半导体衬底上的参考电位外部端子，该端子与 MIS 晶体管的源电连接，以给 MIS 晶体管的源提供外部输入的参考电位；

具有晶闸管结构的保护元件，其形成于半导体衬底上，并电连接在信号外部端子和参考电位外部端子之间；

具有二极管结构的保护元件，其形成于半导体衬底上，并电连接在信号外部端子和参考电位外部端子之间；

设置在半导体衬底的保护元件，该保护元件设置在具有晶闸管结

构的保护元件及具有二极管结构的保护元件和 MIS 晶体管的栅之间，并电连接在信号外部端子和参考电位外部端子之间，用于在大于其正常工作时所用的电压加到 MIS 晶体管上时，减小 MIS 晶体管的源和栅之间的电位差。

根据本发明又一方案，提供一种半导体集成电路器件，包括：

用于从外部输入信号的信号外部端子；

从外部提供参考电位的参考电位外部端子；

具有源、漏和栅的 MIS 晶体管，所说栅电连接到信号外部端子，源电连接到参考电位外部端子；

具有晶闸管结构的保护元件；及

具有二极管结构的保护元件；

信号外部端子、参考电位外部端子、MIS 晶体管、具有晶闸管结构的保护元件和具有二极管结构的保护元件设置于半导体衬底上；及

其中具有晶闸管结构的保护元件和具有二极管结构的保护元件并联于信号外部端子和参考电位外部端子之间，

具有晶闸管结构的保护元件包括，

第一导电类型的第一半导体区，该区形成于半导体衬底中；

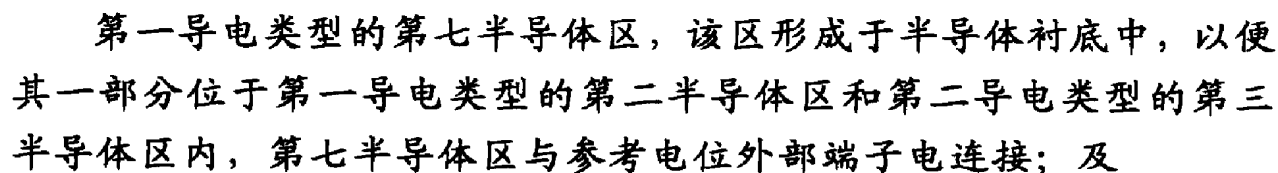
第一导电类型的第二半导体区，该区形成于半导体衬底中与第一半导体区隔开的位置；

第二导电类型的第三半导体区，第三半导体区对应于导电类型与第一导电类型相反的区，该区形成于半导体衬底中至少第一导电类型的第一半导体区和第一导电类型的第二半导体区之间；

第一导电类型的第四半导体区，该区形成于第一导电类型的第一半导体区内，且与信号外部端子电连接；

第二导电类型的第五半导体区，该区形成于第一导电类型的第一半导体区内，且与信号外部端子电连接；

第一导电类型的第六半导体区，第六半导体区形成于半导体衬底中，以便其一部分位于第一导电类型的第一半导体区和第二导电类型的第三半导体区内；及



第二导电类型的第八半导体区，该区形成于第一导电类型的第一半导体区内，且与参考电位外部端子电连接。

尽管本说明书以特别指出和明确要求作为本发明的主题的权利要求结束，但应相信，从以下结合附图所作的介绍中，可以更好地理解本发明的目的和特点，及其另外的目的、特点和优点。

图1是展示根据本发明一个实施例用于半导体集成电路器件中的保护电路的电路图：

图2是展示图1所示的半导体集成电路器件的保护电路区的部分平面图;

图 3 是沿图 2 的线 III-III 取的剖面图:

图 4 是制造工艺中图 1-图 3 所示的半导体集成电路器件的部分剖面图;

图 5 是图 4 后的制造工艺中图 1-图 3 的半导体集成电路器件的部分剖面图:

图 6 是图 5 后的制造工艺中图 1-图 3 的半导体集成电路器件的部分剖面图:

图7是展示根据本发明另一实施例用于半导体集成电路器件中的保护电路的电路图：

图8是展示图7所示的半导体集成电路器件的保护电路区的部分平面图:

图 9 是沿图 8 的线 IX-IX 取的剖面图:

图 10 展示根据本发明再一实施例的半导体集成电路器件的部分电路图：

图 11 是用于介绍图 10 所示半导体集成电路的外围电路中的保护电路的示意图;



图 12 是展示在图 11 所示的外围电路的输入和输出侧上释放电荷所需要的时间间隔的曲线图:

图 13 是展示根据本发明又一实施例的半导体集成电路的部分电路图:

图 14 是展示根据本发明还一实施例的半导体集成电路的部分电路图:

图 15 是展示图 10 所示的半导体集成电路器件的保护电路的平面

图 16 是沿图 15 中的线 X-Y 取的剖面图:

图 17 是展示图 10 所示的半导体集成电路器件的外围电路的剖面图；

图 18 是展示根据本发明又再一实施例的半导体集成电路的部分电路图:

图 19 是展示用于图 18 所示的半导体集成电路器件中的保护电路的平面图;

图 20 是沿图 19 中的线 X-Y 取的剖面图:

图 21 是展示根据本发明又一实施例的半导体集成电路的部分电路图:

图 22 是展示用于图 21 所示的半导体集成电路器件中的保护电路的平面图;

图 23 是沿图 22 中的线 X-Y 取的剖面图:

图 24 是展示根据本发明又一实施例的半导体集成电路的部分电路图;

图 25 是展示用于图 24 所示的半导体集成电路器件中的保护电路的平面图:

图 26 是沿图 25 中的线 X-Y 取的剖面图:

图 27 是展示根据本发明又一实施例的半导体集成电路的部分电路图:

图 28 是展示根据本发明又一实施例的半导体集成电路的部分电

路图；

图 29 是本发明人作为相关技术讨论的保护电路的电路图；

图 30 是图 29 所示的保护电路的平面图；

图 31 是沿图 30 所示的保护电路的线 X-X 取的剖面图；

图 32 是介绍本发明人作为相关技术讨论的外围电路的示图；

图 33 是展示在图 32 所示外围电路的输入和输出上释放电荷所需要的时间间隔的曲线图。

下面将结合附图更具体地介绍本发明。在介绍各实施例的所有附图中，具有相同功能的部分用相同的参考数字表示，并将省略对它们的介绍。

实施例 1

图 1 是展示根据本发明一个实施例用于半导体集成电路器件中的保护电路的电路图。图 2 是展示图 1 所示半导体集成电路器件的保护电路区的部分平面图。图 3 是沿图 2 的线 III-III 取的剖面图。图 4-6 是展示各制造工艺中图 1-3 所示半导体集成电路器件的部分剖面图。

在介绍根据本实施例 1 的半导体集成电路器件之前，首先参考图 29-31 介绍本发明人已讨论过的用于半导体集成电路器件的保护电路。

图 29 是展示本发明人讨论过的保护电路的电路图。保护电路 30 电连接到用于连接外部端子 31 和内部电路 32 的布线路径。

保护电路 30 包括由两个双极晶体管 Q30a 和 Q30b 构成的晶闸管，并电连接在外部端子 31 和地电位 GND 之间。

双极晶体管 Q30a 包括 pnp 双极晶体管。双极晶体管 Q30a 的发射极电连接到外部端子 31，其集电极电连接到 npn 晶体管 Q30b 的基极。

另外，双极晶体管 Q30a 的基极电连接到外部端子 31 和双极晶体管 Q30b 的集电极。双极晶体管 Q30b 的发射极电连接到地电位 GND。

半导体衬底 33 例如由 p 型硅 (Si) 单晶构成，另外，在其上层部分提供 n 阱 34n，在上层部分另外的区域中形成 p 阱 34p。在半导体衬底 33 的主或重要表面上形成例如由二氧化硅 (SiO_2) 构成的场绝缘体或场绝缘膜 35。

在半导体衬底 33 的上层部分中，在被场绝缘膜 35 包围的 n 阱 34n 的上层部分形成 n+型半导体区 36n1 和 p+型半导体区 36p。n+型半导体区 36n1 和 p+型半导体区 36p 通过连接孔 37 电连接到外部端子 31。

在半导体衬底 33 的上层部分中，在被场绝缘膜 35 包围并在 n 阱 34n 和 p 阱 34p 上延伸的区域中，形成 n+型半导体区 36n2 和 36n3。n+型半导体区 36n3 通过其它连接孔 37 电连接到地电位 GND。

在从外部给保护电路的外部端子 31 加正电压时，通过由 p+型半导体区 36p、n 阱 34n (n+型半导体区 36n1)、p 阱 34p (p 型半导体区 33) n+ 型半导体区 36n3 构成的路径激活晶闸管，使外部端子 31 和地电位 GND 导通，从而晶闸管被放电。

另一方面，在从外部给外部端子 31 加负电压时，不激活晶闸管，通过由 n+型半导体区 36n1 (n 阱 34n)、p 阱 34p (p 型半导体区 33) 和 n+型半导体区 36n3 构成的路径激活横向双极晶体管，使外部端子 31 和地电位 GND 导通，从而双极晶体管放电。

即，具有晶闸管结构的保护电路的问题是，由于保持电压低 (1V - 2V)，并且在通过晶闸管进行放电时 (即在加正过压时)，以低态耗散通过放电路径所耗用或消耗的能量，所以抗 ESD 性高，而由于保持电压高 (从 7V 到 12V)，在通过横向双极晶体管进行放电时 (即在加过压时)，通过放电路径消耗的能量大，并且放电电流容易在反型结集中，所以抗 ESD 性低。

所以，根据本发明实施例 1，以以下方式构成保护电路。

如图 1 所示，用于本实施例 1 的保护电路 1 构成为一种与用于连接半导体集成电路器件的外部端子 2 和外围电路 3 的路径电连接的电路，并用于在过压加于外部端子 2 上时，迅速释放或排放电荷，从而避免高电压加到半导体集成电路器件的内部电路上。

保护电路 1 包括 pnp 和 npn 两个双极晶体管 Q1a 和 Q1b，及电连接于外部端子 2 和地电位 GND 之间的二极管 D1。

双极晶体管 Q1a 和 Q1b 构成晶闸管，并在正过压加于外部端子 2 上时被激活以让电荷释放。双极晶体管 Q1a 的发射极电连接到外部端子 2。另外，双极晶体管 Q1a 的基极电连接到外部端子 2 和双极晶体管 Q1b 的集电极。而且，双极晶体管 Q1a 的集电极电连接到双极晶体管 Q1b 的基极。双极晶体管 Q1b 的发射极电连接到地电位 GND。

在正过压加于这种保护电路 1 的外部端子 2 上时，由两个双极晶体管 Q1a 和 Q1b 构成的晶闸管的工作结果是，过量的电流或过电流从外部端子 2 通过两个双极晶体管 Q1a 和 Q1b 流到地电位 GND。所以可以确保对正过压的抗 ESD 性。

另一方面，在负过压加于外部端子 2 上时，二极管 D1 被激活，以允许电荷释放。二极管 D1 电连接在外部端子 2 和地电位 GND 之间，或在双极晶体管 Q1b 的集电极和发射极之间，换言之，在 pnp 双极晶体管 Q1a 的基极和地电位 GND 之间，以此方式，在负过压加到外部端子 2 上时，二极管 D1 正向连接。

即，在本实施例 1 中，在负压加于外部端子 2 上时，过流从地电位 GND 通过二极管 D1 流到外部端子 2。所以本实施例 1 甚至能够提高对于负过压的抗 ESD 性。另外，由于保护元件由二极管 D1 构成，保护元件的布局面积不会显著增大。

顺便提及，正如外部端子 2 用作引入或引出半导体芯片中半导体集成电路的电极的端子，并通过外围电路 3 电连接到半导体集成电路器件的内部电路。

另外，在例如输入电路、输出电路或输入/输出双向电路等情况

下，外围电路 3 设置于半导体集成电路器件的外部 and 内部之间，并用作调节电平或时序的接口电路。

例如可以内建或引入保护电路 1 只作为输入电路或输出电路前的一级。或者，可以引入作为外围电路的输入电路和输出电路前的各级。

图 2 和 3 将接着展示图 1 示出的半导体集成电路器件的保护电路的器件结构的一个例子。图 2 是该器件结构的平面图，图 3 是沿图 2 的线 III-III 取的剖面图。

半导体衬底 4 例如包括 p 型硅 (Si) 单晶。另外，n 阱 (第一半导体区和第二半导体区) 5n1 和 5n2 及 p 阱 5p (5p1-5p3) 形成于其上层部分。

n 阱 5n1 和 5n2 形成为矩形隔离区，例如每个都含有对应于 n 型杂质的磷或砷 (As)。

形成 p 阱 (第三半导体区) 5p (5p1-5p3)，以连接 n 阱 5n1 和 5n2，并包围它们。每个 p 阱 5p 例如都含有对应于 p 型杂质的硼。

另外，场绝缘膜 6 形成于半导体衬底 4 的主表面上。每个场绝缘膜 6 例如都由二氧化硅 (SiO_2) 构成，并具有元件隔离功能，或内部元件隔离功能。

上述二极管 D1 主要由 PN 结构成，所说 PN 结由 n 阱 5n1 和 p+ 型半导体区 (第八半导体区) 7p1 构成。

n+ 型半导体区 (第四半导体区) 7n1 例如含有对应于 n 型杂质的磷或 As。n+ 型半导体区 7n1 通过限定于半导体衬底 4 上的层间绝缘体或绝缘膜 8a 中的连接孔 9a，电连接到第一层布线或互连 10a，还电连接到外部端子 2。

p+ 型半导体区 7p1 例如含有对应于 p 型杂质的硼，并通过限定于层间绝缘体 8a 中的连接孔 9b，电连接到第一层互连 10b。另外，p+ 型半导体区 7p1 电连接到地电位 GND。

p+ 型半导体区 7p1 设置于 n 阱 5n1 内，n 阱 5n1 内提供有 n+ 型半导体区 7n1。即，通过在同一 n 阱 5n1 内设置 p+ 型半导体区 7p1

和 n+型半导体区 7n1，可以减小 p+型半导体区 7p1 和 n+型半导体区 7n1 间的电阻值。

另外，p+型半导体区 7p1 设置成其长边变得平行于 n+型半导体区 7n1 的长边。即，由于 p+型半导体区 7p1 的长边和 n+型半导体区 7n1 的长边彼此相对，并可以很好地确保在它们之间流动的电流的路径的宽度，所以可以减小它们之间的电阻值。

这样，由于该实施例 1 中可以减小排放在负压加于外部端子 2 上时流动的过量电流或过流的路径的电阻，所以可以没有延迟地释放过流。

另外，上述双极晶体管 Q1a 主要由 p+型半导体区（第五半导体区）7p2、n 阱 5n1、n+型半导体区 7n2 和 p 阱 5p2 构成。

p+型半导体区 7p2 形成为邻近并平行于 n 阱 5n1 内的 n+型半导体区 7n1 延伸，并例如包含对应于 p 型杂质的硼。

p+型半导体区 7p2 通过限定于层间绝缘体 8a 中的连接孔 9c，电连接到第一层互连 10a，还电连接到外部端子 2。

n+型半导体区 7n2 形成为邻近并平行于横跨 n 阱 5n1 和 p 阱 5p2 的 p+型半导体区 7p2 延伸。n+型半导体区 7n2 例如包含对应于 n 型杂质的磷或 As。

上述双极晶体管 Q1b 主要由 n+型半导体区 7n2（第五半导体区）（n 阱 5n1）、p 阱 5p2、n+型半导体区（第七半导体区）7n3（n 阱 5n2）构成。

n+型半导体区 7n3 形成为平行于横跨 p 阱 5p2 和 n 阱 5n2 的 n+型半导体区 7n2 延伸，并例如包含对应于 n 型杂质的磷或 As。

n+型半导体区 7n3 通过限定于层间绝缘体 8a 中的连接孔 9d，电连接到第一层互连 10c。另外，n+型半导体区 7n3 电连接到地电位 GND。

顺便提及，上述层间绝缘体 8a 例如由 SiO_2 构成。每个第一层互连 10a - 10c 例如由铝（Al）或 Al - Si - Cu 合金构成。

下面将结合图 4 - 6 介绍制造本实施例 1 的半导体集成电路器件

的方法的一个例子。

图 4 是展示在制造工艺中实施例 1 的半导体集成电路器件的部分剖面图。半导体衬底 4 由 p 型硅单晶构成。另外，在其上层中形成有 n 阱 5n1 和 5n2 及 p 阱 5p (5p1 - 5p3)，在上层中还形成有场绝缘膜 6。

利用光刻工艺，在半导体衬底 4 的主表面上形成光刻胶图形 11a，使 n+型半导体区裸露，而覆盖其它区。

然后，用每个光刻胶图形 11a 作掩模，通过离子注入等，在半导体衬底 4 中引入对应于 n 型杂质的磷或 As，以形成 n+型半导体区。

然后，去掉光刻胶图形 11a，利用光刻工艺形成光刻胶图形 11b，使 p+型半导体区裸露，而覆盖其它区，如图 5 所示。

接着，例如用每个光刻胶图形 11b 作掩模，通过离子注入等，在半导体衬底 4 中引入对应于 p 型杂质的硼或氟化硼 (BF_2)，以形成 p+型半导体区。

然后，去掉光刻胶图形 11b，再热处理半导体衬底 4，从而在半导体衬底 4 上形成 p+型半导体区 7p1 和 7p2，和 n+型半导体区 7n1 - 7n3，如图 6 所示。

然后，利用 CVD 工艺等，在半导体衬底 4 上淀积例如由 SiO_2 等构成的层间绝缘体 8a，如图 3 所示。之后，利用光刻和干法腐蚀，在层间绝缘体 8a 的预定位置同时限定连接孔 9a - 9d。

然后，通过溅射等，在半导体衬底 4 上淀积例如由 Al 或 Al - Si - Cu 合金的构成的金属膜。之后，利用光刻和干法腐蚀构图金属膜，从而形成第一层互连 10a - 10c。

由于可以通过半导体集成电路器件的普通制造工艺中的布线或互连形成工艺步骤和表面保护膜形成工艺步骤制造该半导体集成电路器件，所以将省略对随后处理的介绍。

这样，本实施例 1 可以具有以下有益效果。

(1) 提供二极管 D1 作为保护元件，在负过压加于外部端子 2 上时，允许过流通过二极管 D1 迅速从地电位释放到外部端子 2。因

此，可以提高对负过压的抗 ESD 性。即，由于本实施例 1 可以得到对加于外部端子 2 上的正和负过压的高抗 ESD 性，所以可以提高半导体集成电路器件的成品率和可靠性。

(2) 由于利用二极管 D1 形成保护元件，所以可以在不招致显著增大保护电路所占面积的问题的同时，能够提高对加于外部端子上的正和负过压的抗 ESD 性。

实施例 2

图 7 是展示根据本发明另一实施例的半导体集成电路器件的保护电路的电路图。图 8 是展示图 7 所示的半导体集成电路器件的保护电路区的部分平面图。图 9 是沿图 8 的线 IX-IX 取的剖面图。

在本实施例 2 中，另外在实施例 1 所述的保护电路中附加二极管 D2，如图 7 所示。二极管 D2 用作一种保护元件，在负过量电压或负过压加于外部端子 2 上时，它被激活，从而允许电荷释放。另外，二极管 D2 电连接于外部端子 2 和地电位 GND 之间，以便在负过压加于外部端子 2 上时，二极管 D2 正向连接。

顺便提及，二极管 D2 可以只设置于输入电路或输出电路前的一级。或者，二极管 D2 可以设置在外围电路的输入电路和输出电路前的一级。

图 8 和图 9 展示了关于本实施例 2 的半导体集成电路器件的保护电路的器件结构的一个例子。图 8 是该器件结构的平面图，图 9 是沿图 8 的线 IX-IX 取的剖面图。

用于本实施例 2 的保护电路与用于实施例 1 的保护电路结构相同。用于实施例 2 的保护电路与用于实施例 1 的保护电路的不同有以下几点。

即，p+型半导体区（第九半导体区）7p3 形成于 p 阱 5p 的上层中，以便包围二极管 D1 和双极晶体管 Q1a 和 Q1b。p+型半导体区 7p3 例如含有对应于 p 型杂质的硼。该杂质利用与其它 p+型半导体区 7p1 和 7p2 的离子注入相同的掩模，在其它 p+型区 7p1 和 7p2 中同时注入。

p+型半导体区 7p3 通过限定于层间绝缘体 8a 中的连接孔 9e，电连接到第一层互连 10d。另外，p+型半导体区 7p3 还电连接到地电位 GND。二极管 D2 主要由 p+型区 7p3、p 阱 5p、p 型半导体衬底 4、n 阱 5n1 和 n+型半导体区 7n1 构成。

即，本实施例 2 具有以下结构，其中二极管 D2 设置成包围二极管 D1 和双极晶体管 Q1a 和 Q1b。这样，在负过压加到外部端子 2 上时，与先前的实施例 1 相比，本实施例 2 能够迅速释放产生于保护电路 1 的形成区中的过流。

实施例 3

下面结合图 10-17 介绍本发明实施例 3 的半导体集成电路器件。顺便提及，在随后的介绍中，地电源 GND 和 GND1 基本上电连接到地电源外部端子。而且，地电源 GND2 是由半导体集成电路器件的内部电源产生的电源，并且通过内部电源电连接到地电源外部端子。

首先结合图 10-14 介绍根据本实施例 3 的半导体集成器件的电路结构。由于保护电路 1 与用于先前的实施例 1 的电路结构相同，如图 10 所示，所以将省略对其的具体介绍。构成晶闸管的双极晶体管 Q1a 的发射区和二极管 D1 的 p 型半导体区位于同一阱内。

另外，设置于保护电路 1 后的一级的外围电路 3 具有用于保护电路 1 的电阻器 R1、设置于电阻器 R1 后一级用于保护电路 1 的二极管 D3 和 D4、及设置于二极管 D3 和 D4 之后一级用于输入电路的反相器 INV1。反相器 INV1 构成为使 P 沟道 MOSFET Q2a 与 n 沟道 MOSFET Q2b 串联于电源 VCC 和地电源 GND 之间。反相器 INV1 的输出 OUT 电连接到半导体集成电路器件的内部电路。顺便提及，保护电路 1 的地电源 GND 和电阻器 R1 的地电源 GND、二极管 D1 和 D2 及反相器 INV1 以公用的方式设置。

电阻器 R1 设置于外部端子 2 和反相器 INV1 的输入之间，作为保护电路 1 后的一级，并电连接到二极管 D3 和 D4 前面的一级。另外，电阻器 R1 具有这样的功能，即，防止过流流到反相器 INV1，

并增大阻抗,如从外部端子 2 侧看到的,从而允许产生于反相器 INV1 的输入侧上的互连等上的电荷,容易通过二极管 D3 和 D4 及电源互连释放到外部端子侧。

另外,二极管 D3 和 D4 电连接于反相器 INV1 的输入栅极和电源 VCC 之间及其输入栅电极和地电源 GND 之间,以使它们反向连接。在通过利用 CD (带电装置) 的静电击穿试验等使外部端子 2 接地,释放产生于半导体集成电路器件内的电荷时,二极管 D3 和 D4 具有以下功能,即防止反相器 INV1 的输入互连 (包括金属布线和输入侧上的栅极) 上的电位,与用于带有设置于其上的反相器 INV1 的 MOSFET Q2a 和 Q2b 的半导体衬底侧的阱或用于 MOSFET Q2a 和 Q2b 的源漏的半导体区 (扩散区) 上的电位之间产生电位差。即,二极管 D3 和 D4 可以防止击穿 MOSFET Q2a 和 Q2b 的栅绝缘膜的电压加到栅绝缘膜上。在半导体衬底中,二极管 D3 和 D4 设置于一个阱内,该阱不同于如以后介绍的保护电路 1 的二极管 D1 的阱。

图 32 和 33 展示了在反相器 INV1 的输入级没有保护电路 (电阻器件 R1 和二极管 D3 和 D4) 的相关技术。图 32 示出了由电源 VCC31 驱动的反相器 INV31。反相器 INV3 构成为使 P 沟道 MOSFET Q31a 和 n 沟道 MOSFET 同 Q31b 串联电连接于电源 VCC31 和地电源 GND 之间。符号 q_g 表示产生于反相器 INV31 的输入互连侧 (包括金属布线和栅极) 上的电荷。符号 q_{sd} 表示产生于输出侧上 (其中设置有反相器 INV1 的 MOSFET Q2a 和 Q2b 的半导体衬底侧上的阱及源漏半导体区 (扩散区) 侧上) 的电荷。在该构形中外部端子 2 接地时, MOSFET Q31a 和 Q31b 的输入侧上的电荷 q_g 迅速释放。然而,通过半导体衬底和电源 VCC31 慢慢释放 MOSFET Q31a 和 Q31b 的输出互连侧上的电荷 q_{sd} 。图 33 示出了这种情况下释放这些电荷所需要的时间和电荷量 (电位差) 间的关系。应理解, MOSFET Q31a 和 Q31b 的输入侧上的电荷 q_g 与其输出侧上的电荷 q_{sd} 之间在放电时间有有很大差异。由于放电时间的不同,一个极大的电位差瞬时加到 MOSFET Q31a 和 Q31b 的栅绝缘膜上,所以造成了栅绝缘膜击穿。

所以，本实施例 3 具有图 10 和 11 所示的结构，在外部端子 2 接地时，通过电连接电阻 R1 和保护电路的 D3 和 D4 与反相器 INV1 的输级侧，反相器 INV1 的输出互连侧上产生的电荷 q_{Sd} 可以通过二极管 D3 和 D4 迅速释放到该输入侧上。结果，可以减小反相器 INV1 的输入互连侧上电荷 q_g 与反相器 INV1 的输出侧上的电荷 q_{Sd} 间放电时间的差异。所以，因为可以防止该高电压因放电时间的不同瞬时加到反相器 INV1 的 MOSFET Q2a 和 Q2b 的栅绝缘膜上，所以可以防止栅绝缘膜击穿，并可以提高半导体集成电路器件的成品率和可靠性。

外围电路 3 的这种保护电路元件不一定限制为二极管 D3 和 D4，也可以作各种变化。例如，P 沟道 MOSFET Q3a 和 n 沟道 MOSFET Q3b 可以如图 13 所示二极管连接，以代替二极管 D3 和 D4。由于这种情况下，每个 MOSFET 都可以提供比每个二极管低约 1V 的击穿电压，所以这些 MOSFET 产生了一种容易进行上述电荷放电操作的结构。因此，可以迅速进行电荷的上述放电。

另外，双极晶体管可以二极管连接，以代替图 10 所示的 D3 和 D4。由于这种情况下双极晶体管的驱动能力比二极管高，所以这种双极晶体管可以构成一种能够迅速进行上述电荷放电的结构。

如图 14 所示，用于保护电路 1 的二极管 D1 和双极晶体管 Q1a 和 Q1b 的地电源 GND1 及用于外围电路 3 的二极管 D3 和 D4 及反相器 INV1 的地电源 GND2 彼此电隔离。即，地电源电压通过隔离的地电源互连分别加到保护电路 1 和外围电路 3。地电源 GND1 和 GND2 的电位可彼此相等或不等。由于地电源 GND1 和 GND2 以此方式彼此隔离，所以可以防止其它电路中的地电源的电位由于一个电路侧上发生的电位变化而改变。

下面结合图 15 - 17 介绍与图 10 的电路部分对应的器件结构。图 15 和 16 分别是对应于图 10 所示的保护电路 1 的平面图，和沿其线 X - Y 取的剖面图。相同的区采用相同的影线，以容易理解图 15 和 16。

保护电路 1 的器件结构也基本上与实施例 1 的结构相同。以与实

施例类似的方式，甚至在本实施例 3 情况下，用作构成晶闸管的 pnp 双极晶体管 Q1a 的发射区的 p 型半导体 7p2 和二极管 D1 的 p 型半导体区 7p1 设置于一个 n 阱 5n1 中，彼此靠近。下面具体介绍互连或布线结构（布线布局和布线连接等）。构成晶闸管的双极晶体管 Q1a 和 Q1b 通过第一层互连 10a 和第二层互连 12a，电连接到外部端子 2。第一层互连 10a 的图形结构成形为矩形，以便覆盖 n+型半导体区 7n1 和 p+型半导体区 7p2。另外，第一层互连 10b 和 10c 模制成一片，它们的图形结构形成为平面倒 U 形框，以便覆盖 p+型半导体区 7p1 和 n+型半导体区 7n3，并且第一层互连 10b 和 10c 彼此电连接。这些第一层互连 10a - 10c 上覆盖有层间绝缘体 8b。层间绝缘体 8b 例如由 SiO_2 等构成，每个例如都由 Al 或 Al - Si - Cu 合金构成的第二层互连 12a - 12c 形成于其上表面上。

第二层互连 12a 通过连接孔 9e 电连接到第一层互连 10a。第二层互连 12a 的图形结构基本上成形为矩形，以便覆盖 n+型半导体区 7n2 的一部分、p+型半导体区 7p2、n+型半导体区 7n1、p+型半导体区 7p1 及 p 阱 5p1 的一部分。顺便提及，第二层互连 12a 具有宽度窄的图形部分 12a1，该部分以其一部分的方式整体提供。图形部分 12a1 成形为使第二层互连 12a 的一部分在图 15 所示的向上的方向延伸，其引出端在垂直于其延伸方向的方向弯曲，并稍稍在图 15 所示的右方向延伸。图形部分 12a1 通过连接孔 9f 电连接到第一层互连 10e 的一端。另外，第一层互连 10e 的另一端通过连接孔 9g 电连接到第二层互连 12b。第二层互连 12b 电连接到图 10 所示的保护电路电阻器 R1。另外，第二层互连 12c 通过连接孔 9h 电连接到第一层互连 10c。第二层互连 12c 是用于提供地电源 GND 的互连。其图形结构形成得较宽，并成形为带状或条状图形，以便覆盖 n+型半导体区 7n2 的一部分和 n 阱 5n2 及 p 阱 5p 的各部分。这些第二互连 12a - 12c 上覆盖有层间绝缘体 8c。层间绝缘体 8c 例如由 SiO_2 等构成。例如由 Al 或 Al - Si - Cu 合金等构成的外部端子 2 形成于层间绝缘体 8c 的上表面上。顺便提及，第二层互连 12c 电连接到地电源 GND。

外部端子通过连接孔 9i 电连接到第二层互连 12a。外部端子 2 置于场绝缘膜 6 之上，其图形结构基本成形为方形。然而，外部端子 2 连接到第二层互连 12a 处的那部分（对应于连接孔 9i 所在的位置）部分延伸，用于相应的连接。顺便提及，例如由金（Au）或 Al 等构成的键合丝直接连接到外部端子 2。外部端子 2 通过键合丝电连接封装的引线。可以存在这样的情况，外部端子 2 通过凸点电极代替键合丝电连接到封装的引线。顺便提及，外部端子 2 的一部分上覆盖有表面保护涂层或膜。该表面保护膜例如由单层 SiO_2 膜、通过在 SiO_2 上层叠氮化硅得到的层状膜、通过这些层上层叠聚酰亚胺树脂得到的层状膜构成。

另一方面，图 17 是对应于图 10 的保护电流的剖面图。

如图 17 所示，在半导体衬底 4 的上部提供 n 阱 13n 和 p 阱 13p。n 阱 13n 和 p 阱 13p 形成于不同于上述 n 阱 5n1 和 p 阱 5p 的区的区中（见图 15 和 16），并且它们也彼此电隔离。例如，对应于 n 型杂质的磷或砷（As）引入到 n 阱 13n 中。另外，上述 P 沟道 MOSFET Q2a、上述二极管 D3 和用于提供阱电位的 n 型半导体区 14n 形成于用于 n 阱 13n 的区域中。例如，对应于 p 型杂质的硼引入到 p 阱 13p 中。另外，上述 n 沟道 MOSFET Q2b、上述二极管 D4 及用于提供阱电位的 p 型半导体区 14p 形成于用于 p 阱 13p 的区域内。所以，CMOS（互补 MOS）电路型反相器 INV1 由 MOSFET Q2a 和 A2B 构成。顺便提及，例如，对应于 p 型杂质的硼引入到用于提供阱电位的 p 型半导体区 14p 中，而例如对应于 n 型杂质的磷或 As 引入到用于提供 n 阱电位的 n 型半导体区 14n 中。

构成反相器 INV1 的 P 沟道 MOSFEET Q2a 具有一对形成于 n 阱 13n 的上部以便彼此隔离的 p+型半导体区 15ps 和 15pd、形成于半导体衬底 4 上的栅绝缘膜 15pi。、形成于栅绝缘膜 15pi 上的栅极 15pg。顺便提及，MOSFET Q2a 的沟道区形成于这对 p+型半导体区 15ps 和 15pd 之间。

例如，对应于 p 型杂质的硼引入到 p+型半导体区 15ps 和 15pd

中。p+型半导体区 15ps 电连接到高电位侧上电源 VCC。顺便提及，二极管 D5 形成于 n 阱 13n 与半导体衬底 4 接触的区域中。栅绝缘膜 15pi 例如由 SiO_2 构成。栅极 15pg 例如由具有低电阻的多晶硅构成。然而，栅极 15pg 不限于由单层低阻多晶硅构成。栅电极 15pg 还可以构成为在低阻多晶硅层上层叠如硅化钨膜等硅化膜的结构。关于另一可替换方式，栅极 15pg 可以形成为在低阻多晶硅上层叠钨膜等金属膜的结构，所说结构带有夹在低阻多晶硅膜和金属膜之间的阻挡金属膜等，例如氮化钛膜。

形成于与 MOSFET Q2a 相同的 n 阱 13n 内的二极管 D3 形成于 n 阱 13n 将与形成于其上部的 p+型半导体区 16p 接触的区域中。二极管 D3 一个端子电连接到反相器 INV1 的栅极 15ng 及 15pg，而其另一端子则通过 n 阱 13n 电连接到高电位的电源 VCC 上。顺便提及，例如对应于 p 型杂质的硼引入到 p+型半导体区 16p 中。

另一方面，构成反相器 INV1 的 n 沟道 MOSFET Q2b 具有一对形成于 p 阱 13p 的上部以便彼此隔离的 n+型半导体区 15ns 和 15nd、形成于半导体衬底 4 上的栅绝缘膜 15ni、形成于栅绝缘膜 15ni 上的栅极 15ng。顺便提及，MOSFET Q2b 的沟道区形成于这对 n+型半导体区 15ns 和 15nd 之间。

例如，对应于 n 型杂质的硼引入到 n+型半导体区 15ns 和 15nd 中。n+型半导体区 15ns 电连接到地电源 GND。栅绝缘膜 15ni 例如由 SiO_2 构成。栅极 15ng 例如由具有低电阻的多晶硅构成。然而，栅极 15ng 不限于由单层低阻多晶硅构成。栅极 15ng 还可以构成为在低阻多晶硅层上层叠如硅化钨膜等硅化膜的结构。关于另一可替换方式，栅极 15ng 可以形成为在低阻多晶硅上层叠钨膜等金属膜的结构，所说结构带有夹在低阻多晶硅膜和金属膜之间的阻挡金属膜等，例如氮化钛膜。顺便提及，栅极 15ng 通过各互连电连接到栅极 15pg、n+型半导体区 16n、p+型半导体区 16p 和电阻器 R1。

形成于与 MOSFET Q2b 相同的 p 阱 13p 内的二极管 D4 形成于 p 阱 13p 将与形成于其上部的 n+型半导体区 16n 接触的区域中。二极

管 D4 通过第一层互连 10f 电连接到电阻器 R1，而其另一端子则通过 p 阱 13p 电连接到地电源 GND 上。顺便提及，例如对应于 n 型杂质的硼引入到 n+型半导体区 16n 中。

层间绝缘体 8a 形成于这种半导体衬底 4 上，以便 MOSFET Q2a 和 Q2b、二极管 D3 和 D4 等被其覆盖。每个都例如由 Al 或 Al - Si - Cu 合金等构成的第一层互连 10f 和第一层互连 10h - 10i 形成于层间绝缘体 8a 上。第一层互连 10f 通过连接孔 9j 电连接到 n+型半导体区 16n 上。第一层互连 10g 通过连接孔 9k 电连接到 p+型半导体区 14p 和 n+型半导体区 15ns 上。第一层互连 10g 电连接到地电源 GND。第一层互连 10h 通过连接孔 9m 电连接到 n+型半导体区 15nd 和 p+型半导体区 15pd。第一层互连 10h 构成反相器 INV1 的输出互连，并电连接到半导体集成电路器件的内部电路。另外，第一层互连 10i 通过连接孔 9n 电连接到半导体区 15ps 和 n+型半导体区 14n。第一层互连 10i 电连接到高电位电源 VCC。

上述实施例 3 可以带来与实施例 1 相同的有益效果。

实施例 4

下面结合图 18 - 20 介绍根据本发明实施例 4 的半导体集成电路器件。

首先结合图 18 介绍本实施例 4 的半导体集成电路器件的电路结构。由于外围电路 3 与先前的实施例 3 的外围电路的电路结构相同(见图 10、13 和 14)，所以省略了对它们的详细介绍。

在本实施例 4 中，在保护电路 1 及二极管 D1 和晶闸管（双极晶体管 Q1a 和 Q1b）上附加电阻器 R2 和 n 沟道 MOSFET Q4。即，电阻器 R1 和 R2 插在外部端子 2 和外围电路 3 的反相器 INV1 的输出之间。另外，在其栅极连接到地电源 GND 时，n 沟道 MOSFET Q4 电连接在用于连接电阻器 R1 和 R2 的互连和地电源 GND 之间。除上述外的那些与实施例 3 相同。构成晶闸管的双极晶体管 Q1a 的发射区和二极管的 p 型半导体区设置于相同的阱内，n 沟道 MOSFET Q4 设置于该晶闸管附近。

电阻器 R2 具有以下功能，限制在 MOSFET Q4 侧上流动的电流，并防止 MOSFET Q4 的栅击穿。另外，MOSFET Q4 具有这样的功能，设置构成保护电路的晶闸管的双极晶体管 Q1b 的发射极为正向，以在其基极中注入空穴，从而使其容易激活双极晶体管 Q1b，以推进晶闸管的工作。顺便提及，MOSFET Q4 是导通晶闸管的触发元件，但不是允许外部端子 2 上的过电流或过流通过 MOSFET Q4 向地电源 Gns 释放的元件。因此，通过 MOSFET Q4 流动的电流受电阻器 R2 的限制。保护电路的晶闸管、二极管 D1 和 MOSFET Q4 的地电源 GND 是相同的，没有具体区分成分别的地电源。

下面结合图 19-20 介绍图 18 所示的有关保护电路的器件结构。图 19 和 20 分别是对应于图 18 所示的保护电路 1 的平面图和沿其线 X-Y 取的剖面图。相同的区采用相同的影线，以容易理解图 19 和 20。

除附加了 n 沟道 MOSFET Q4 外，用于本实施例 4 的器件结构基本上与用于实施例 1 和 3 的结构相同。n 沟道 MOSFET 4 具有形成于衬底 4 的上部的一对 n+型半导体区 7n3 和 7n4、形成于半导体衬底上的栅绝缘膜 17ni、及形成于栅绝缘膜 17ni 的栅极 17ng。n+型半导体区 7n3 和 7n4 是用于 MOSFET Q4 的源/漏的区，是通过在其中引入对应于 n 型杂质的磷或 As 形成的。一个 n+型半导体区 7n3 是构成双极晶体管 Q1b 的一部分的区。另外，n+型半导体区 7n3 还对应于本实施例 4 的 MOSFET Q4 的一部分，形成该区延伸过 p 阱 5p2、n 阱 5n2 和 p 阱 5p3。n+型半导体区 7n3 通过第一层互连 10c 和第二层互连 12c 电连接到第一层互连 10b，栅极 17ng 和地电源 GND。另外，其它 n+型半导体区 7n4 形成于 p 阱 5p3 内。n+型半导体区 7n4 通过连接孔 9p 电连接到第一层互连 10j。另外，n+型半导体区 7n4 还电连接到在电阻 R1 和 R2 之间的互连，电阻 R1 和 R2 之间具有第一层互连 10j 等。顺便提及，MOSFET Q4 的沟道区形成于一对 n+型半导体区 7n3 和 7n4 之间的 p 阱区 5p3 中。

MOSFET Q4 的栅绝缘膜 17ni 例如由 SiO_2 构成，并且其膜厚等

于 PMOS Q2a 和 NMOS Q2b 的栅绝缘膜的厚度。栅极 17ng 例如由低阻多晶硅构成。然而，栅极 17ng 不限于由单层低阻多晶硅膜构成。栅极 17ng 可以构成为在低阻多晶硅上层叠如硅化钨等硅化物膜的结构。或者，栅极 17ng 可以形成为在低阻多晶硅层上层叠钨膜等金属膜，并且两者间夹有如氮化钛膜等阻挡金属膜等的结构。

第二层互连 12a 的图形部分 12a1 通过连接孔 9r 电连接到第一层互连。另外，该图形部分 12a1 通过连接孔 9s1 电连接到电阻器 R2 的一端。电阻器 R2 例如由低阻多晶硅构成，并且设定为预定的薄层电阻值。电阻器 R2 的另一端通过连接孔 9s2 电连接到第一层互连 10j。另外，其另一端通过连接孔 9t 电连接到第二互连层 12d。用于地电源 GND 的第二层互连 12c 通过连接孔 9h 电连接到第一层互连 10b 和 10c。另外，第一层互连 10b 和 10c 的各部分通过连接孔 9u 电连接到 MOSFET Q4 的栅极 17ng。这样，栅极 17ng 电连接到 n+型半导体区 7n3、p+型半导体区 7p1 和地电源 GND。

根据上述本实施例 4，除可以得到先前实施例 1 所具备的有益效果外，还可以得到以下有益效果。即，提供 MOSFET Q4 允许快速驱动构成保护电路 1 的晶闸管，并允许外部端子 2 侧上的过流迅速释放到地电源 GND 侧。于是可以提高 ESD 特性，提高半导体集成电路器件的成品率和可靠性。

实施例 5

下面结合图 21 - 23 介绍本发明实施例 5 的半导体集成电路器件。

图 21 中首先示出了实施例 5 的半导体集成电路器件的电路结构。由于保护电路 1 的电路构成与先前的实施例 2（见图 7）相同，所以省略对其的具体介绍。构成晶闸管的双极晶体管 Q1a 的发射区和二极管 D1 的 p 型半导体区设置于同一阱中，二极管 D2 邻近晶闸管设置。另外，与先前的实施例 2 相同，用公用的地电源作二极管 D1 和 D2 的地电源 GND。由于设置于保护电路 1 后的外围电路 3 与用于先前的实施例 3（见图 11、13 和 14）的外围电路相同，所以也省略对其的具体介绍。

接下来图 22 和 23 例示了对应于图 21 所示的电路部分的器件结构。图 22 和 23 分别是图 21 所示保护电路 1 的平面图和沿其线 X-Y 取的剖面图。顺便提及，相同的区采用相同的影线，以容易理解图 22 和 23。

保护电路 1 的器件结构也基本与用于实施例 2 的相同。具体说，在实施例 5 的情况下，以与实施例 2 类似的方式，二极管 D1 的 p 型半导体区与双极晶体管 Q1a 的发射区设置于同一阱内，双极晶体管 Q1a 和 Q1b（晶闸管）处于彼此靠近的状态。另外，p+型半导体区 7p3 以框架的形式形成于半导体衬底 4 上的 p 阱 5p 的上部分，以便包围二极管 D1 和双极晶体管 Q1a 和 Q1b，从而提供二极管 D2。

另外，本实施例 5 的布线结构也基本上与实施例 3 相同。具体说，实施例 5 中，框架形第一层互连 10k 沿 p+型半导体区 7p3 的形状，设置于 p+型半导体区 7p3 的上层。第一层互连 10k 例如由 Al 或 Al-Si-Cu 合金构成，并通过连接孔 9v 电连接到 p+型半导体区 7p3。连接孔 9v 有多个，它们沿第一层互连 10k 的线设置。另外，第二层互连 12c 以与实施例 3 类似的方式，作为用于提供地电源 GND 的宽（broad）地电源互连。然而，该互连通过连接孔 9h 和 9w 电连接到第一层互连 10c 和第一层互连 10k，并用作为二极管 D1 和 D2 所公用的地电源。

上述实施例 5 也可以得到与实施例 2 相同的有益效果。即，在负过压加到外部端子 2 上时，可以通过二极管 D1 和 D2，加速过电流或过流放电到地电位 GND。

实施例 6

下面结合图 24-26 介绍本发明实施例 6 的半导体集成电路器件。图 24 中首先示出了实施例 6 的半导体集成电路器件的电路结构。保护电路 1 的电路构成与先前的实施例 2（见图 7）基本相同。然而，该实施例 6 中，地电源 GND1 和 GND2 分别用于晶闸管（双极晶体管 Q1a 和 Q1b）和二极管 D1 及二极管 D2。地电源 GND1 和 GND2 彼此电隔离。该实施例 6 展示了本发明应用于例如相对于负电位设置

半导体衬底的电位的产品。尽管没有具体限制，但地电源 GND1 例如设置为约 0V，地电源 GND2 例如设置为约 -1.5V。

构成晶闸管的双极晶体管 Q1a 的发射区和二极管 D1 的 p 型半导体区设置于同一阱中，二极管 D2 邻近该晶闸管设置。由于设置于保护电路 1 后的外围电路 3 与用于实施例 3（见图 10、13 和 14）的外围电路相同，所以省略对其的具体介绍。

接下来图 25 和 26 例示了对应于图 24 所示的电路部分的器件结构。图 25 和 26 分别是图 24 所示保护电路 1 的平面图和沿其线 X-Y 取的剖面图。顺便提及，相同的区采用相同的影线，以容易理解图 25 和 26。

保护电路 1 的器件结构也基本与用于实施例 2 的相同。具体说，在实施例 6 的情况下，以与实施例 2 和 5 类似的方式，二极管 D1 的 p 型半导体区与双极晶体管 Q1a 的发射区设置于同一阱 5n1 内，双极晶体管 Q1a 和 Q1b（晶闸管）处于彼此靠近的状态。另外，p+型半导体区 7p3 以框架的形式形成于半导体衬底 4 上的 p 阱 5p 的上部，以便包围二极管 D1 和双极晶体管 Q1a 和 Q1b，从而提供二极管 D2。

特别是，本实施例 6 展示了一种考虑到本发明应用于例如利用内电源相对于负电位设置半导体衬底 4 电位的产品情况。由于这种情况下二极管 D2 设置于 p 阱 5p 内，所以二极管 D2 电连接到由半导体衬底上的负电位即内部电源设置的地电源 GND2。这种结构造成了这样的情形，由于地电源 GND2 产生于内部电源，所以上述过流不能通过二极管 D2 释放到地电源 GND2。

然而，由于本实施例 6 中保护电路 1 的二极管 D1 设置于与半导体衬底 4 电隔离的 n 阱 5n1 内，所以二极管 D1 可以电连接到被外部电源设置的地电源 GND1。于是，即使负过压加于外部端子 2 上，由所加电压引起的过电流或过流也会通过二极管 D1 迅速释放到地电源 GND1。因此，甚至在利用内电源相对于负电位设置半导体衬底 4 的电位的产品情况下，也可以提高抗 ESD 性。

本实施例 6 的布线结构中，用于两地电源的第二层互连 12c1 和

12c2 设置在第二布线层。第二层互连 12c1 是用于提供地电源 GND1 的地电源互连，其通过连接孔 9h 电连接到第一层互连 10b。并且，第二层互连 12c1 还通过第一层互连 10b 电连接到二极管 D1 和双极晶体管 Q1a 和 Q1b（晶闸管）。另外，第二层互连 12c2 是用于提供地电源 GND2 的地电源互连，其通过连接孔 9w 电连接到第一层互连 10k。并且，第二层互连 12c2 还通过第一层互连 10k 电连接到二极管 D2。

所以，根据本实施例 6，即使本发明应用于相对于预定电位设置半导体衬底 4 的电位的产品，本实施例也可以得到与实施例 2 相同的有益效果。

实施例 7

下面结合图 27 介绍本发明实施例 7 的半导体集成电路器件。本实施例 7 所用的保护电路 1 是实施例 4（见图 18）和实施例 5（见图 21）的组合，除晶闸管（双极晶体管 Q1a 和 Q1b）和二极管 D1 外，还具有电阻器 R2、n 沟道 MOSFET Q4 和二极管 D2。即，本实施例 7 中，电阻器 R1 和 R2 夹在外部端子 2 和外围电路 3 的反相器 INV1 的输入之间。n 沟道 MSFET Q4 电连接在建立电阻器 R1 和 R2 间的连接的互连与地电源 GND 之间，其中其栅电极连接到地电源 GND。另外，二极管 D2 电连接于建立电阻器 R1 和 R2 间连接的互连与地电源 GND 之间。

构成晶闸管的双极晶体管 Q1a 的发射区和二极管 D1 的 p 型半导体区设置于同一阱内，MOSFET Q4 和二极管 D2 邻近该晶闸管设置。由于设置于保护电路 1 后的外围电路 3 与用于实施例 3（见图 10、13 和 14）的相同，所以省略了对其的具体介绍。

在图 22 和 23 所示的 p 阱 5p 的上部提供 p+型半导体区 7p3，以便在平面基础上包围图 19 和 20 所示的二极管 D1、双极晶体管 Q1a 和 Q1b 及 MOSFET Q4，从而构成一种器件结构。这种情况下，图 19 所示的第二层互连 12c 电连接到 MOSFET Q4 的 n+型半导体区 7n3。另外，第二层互连 12c 电连接到图 22 和 23 所示的二极管 D2

的 p+型半导体区 7p3。

甚至在本实施例 7 的情况下也可以得到与实施例 1-5 相同的有益效果。

实施例 8

下面结合图 28 介绍本发明实施例 8 的半导体集成电路器件。用于本实施例 8 的保护电路 1 是实施例 4（见图 18）和实施例 6（见图 24）的组合，除晶闸管（双极晶体管 Q1a 和 Q1b）和二极管 D1 外，还具有电阻器 R2、n 沟道 MOSFET Q4 和二极管 D2。即，本实施例 8 中，电阻器 R1 和 R2 夹在外部端子 2 和外围电路 3 的反相器 INV1 的输入之间。n 沟道 MOSFET Q4 电连接于建立电阻器 R1 和 R2 间连接的互连与地电源 GND1 之间，其中其栅电极连接到地电源 GND1。另外，二极管 D2 电连接于用于建立电阻器 R1 和 R2 间连接的互连与地电源 GND2 之间。本实施例 8 中，地电源 GND1 和 GND2 彼此电隔离地用于晶闸管（双极晶体管 Q1a 和 Q1b）和二极管 D1 及二极管 D2。地电源 GND1 和 GND2 彼此电隔离。尽管没有具体限制，但地电源 GND1 例如设置为约 0V，地电源 GND2 例如设置为约 -1.5V。

本实施例 8 展示了一种考虑到本发明应用于例如利用内电源相对于负电位设置半导体衬底 4 的电位的产品的情况。由于这种情况下二极管 D2 设置于 p 阱 5p 内（见图 25 和 26），所以二极管 D2 电连接到由内部电源设置的地电源 GND2。因此，存在上述过流不能通过二极管 D2 令人满意释放到地 GND2 的情形。然而，由于保护电路 1 的二极管 D1 设置于与半导体衬底 4 电隔离的 n 阱 5n1 内（见图 25 和 26），所以二极管 D1 可以电连接到由外部电源设置的地电源 GND1。于是，即使负过压加于外部端子 2 上，由所加电压引起的过电流或过流也会通过二极管 D1 迅速放电到地电源 GND1。因此，甚至在利用内电源相对于负电位设置半导体衬底 4 的电位的产品的情况下，也可以提高抗 ESD 性。

构成晶闸管的双极晶体管 Q1a 的发射区和二极管 D1 的 p 型半导体区设置于同一阱内，MOSFET Q4 和二极管 D2 邻近晶闸管设置。

由于设置于保护电路 1 后的外围电路 3 与用于实施例 3（见图 10、13 和 14）的相同，所以省略了对其的具体介绍。

用于本实施例 8 的器件结构基本上与用于实施例 7 的相同。然而，本实施例 8 中，如图 25 和 26 所示，提供用于地 GND1 和 GND2 的第二层互连 12c1 和 12c2。第二层互连 12c1 通过连接孔 9h 电连接到第一层互连 10b。并且，第二层互连 12c1 还通过第一层互连 10b 电连接到二极管 D1 和晶闸管（双极晶体管 Q1a 和 Q1b）。第二层互连 12c2 通过连接孔 9v 电连接到第一层互连 10k。并且，第二层互连 12c2 还通过第一层互连 10k 电连接到二极管 D2。

甚至在本实施例 8 的情况下，也可以得到与实施例 1-4 和 6 相同的有益效果。

尽管利用实施例具体介绍了本发明人的发明，但本发明并非必然限于实施例 1-3。无需说，在不背离本发明要点或本质的情况下，可以作出各种变化。

例如实施例 1-3 已介绍了其中半导体衬底用作 p 型 Si 的情况。然而，并不限于此。半导体衬底例如可以构成 n 型 Si。

实施例 2 和 3 介绍了这样的情况，其中形成 p+ 半导体区，以便一个一个地包围分别连接到多个外部端子的各晶闸管结构的保护元件。然而，本发明不一定限于此。例如，可以形成 p+ 型半导体区，以便以多个的形式集中包围分别连接到多个外部端子的各晶闸管结构的保护元件。

如上所述，本发明的半导体集成电路器件及其制造方法适用于如 DRAM（动态随机存取存储器）、SRAM（静态随机存取存储器）等存储器电路、如微处理器等逻辑电路、具有设置于同一半导体衬底上的存储器电路和逻辑电路的半导体集成电路器件或具有这些电路的电子电路器件。

说明书附图

图 1

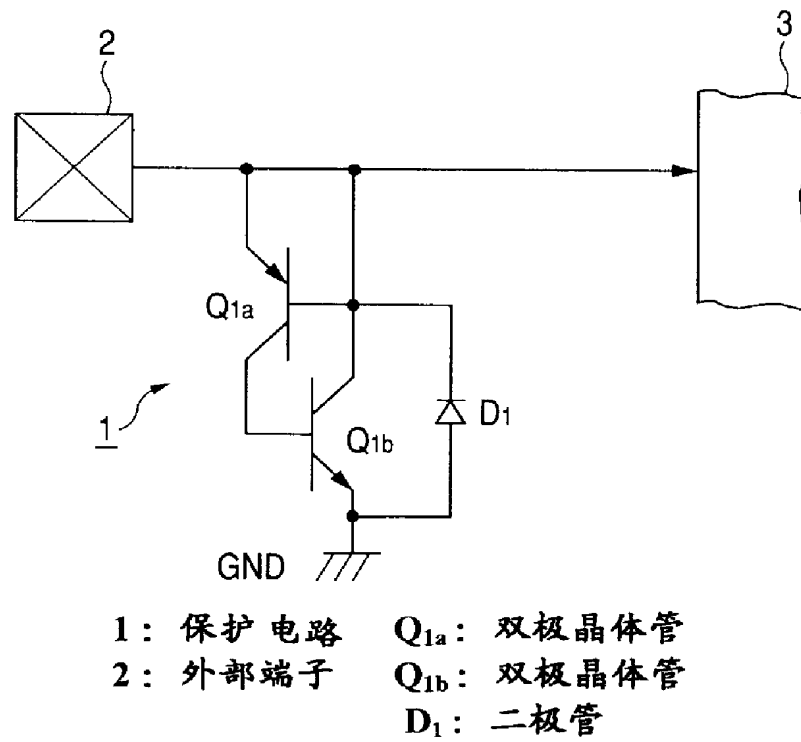


图 2

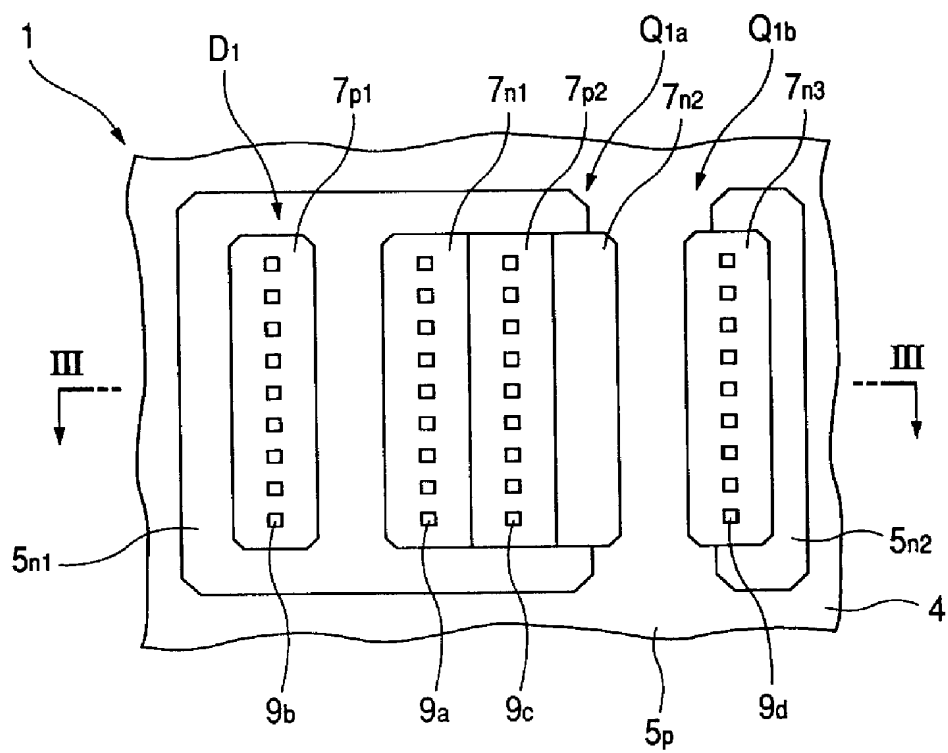
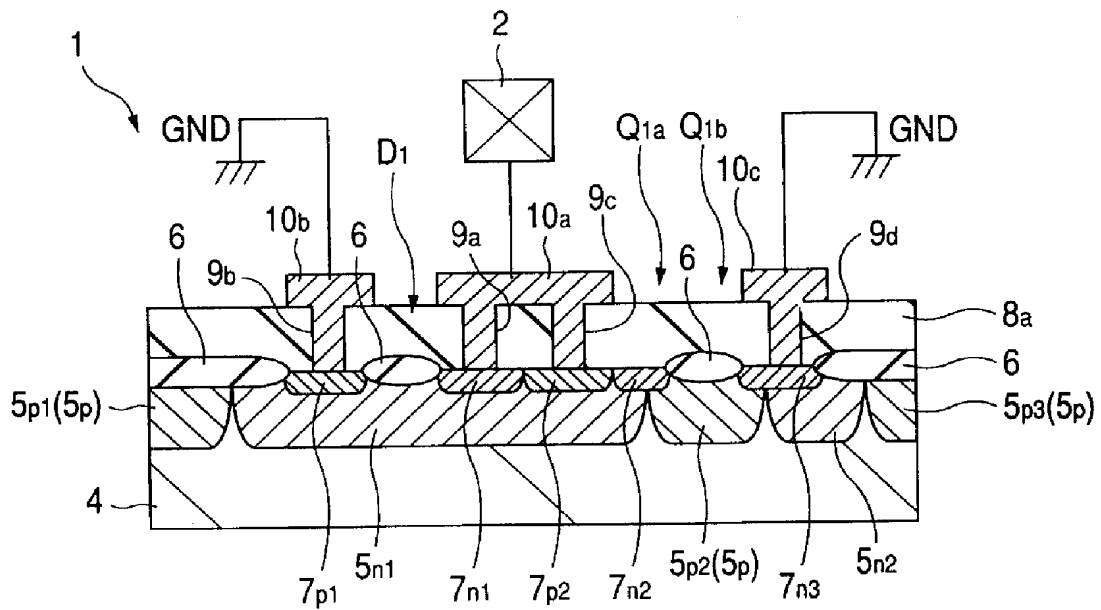


图 3



- 5p : p 阱 (第 3 半导体区)
 5n1 : n 阱 (第 1 半导体区)
 5n2 : n 阱 (第 2 半导体区)
 7n1 : n⁺型半导体区 (第 4 半导体区)
 7n2 : n⁺型半导体区 (第 6 半导体区)
 7n3 : n⁺型半导体区 (第 7 半导体区)
 7p1 : p⁺型半导体区 (第 8 半导体区)
 7p2 : p⁺型半导体区 (第 5 半导体区)

图 4

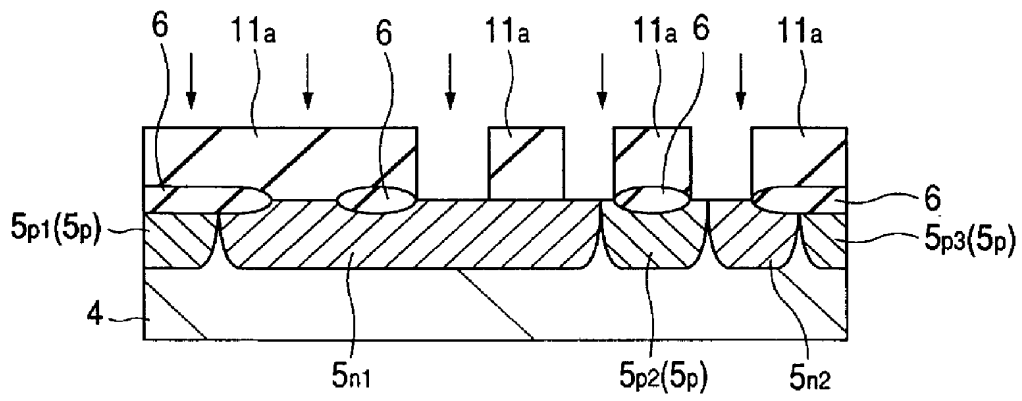


图 5

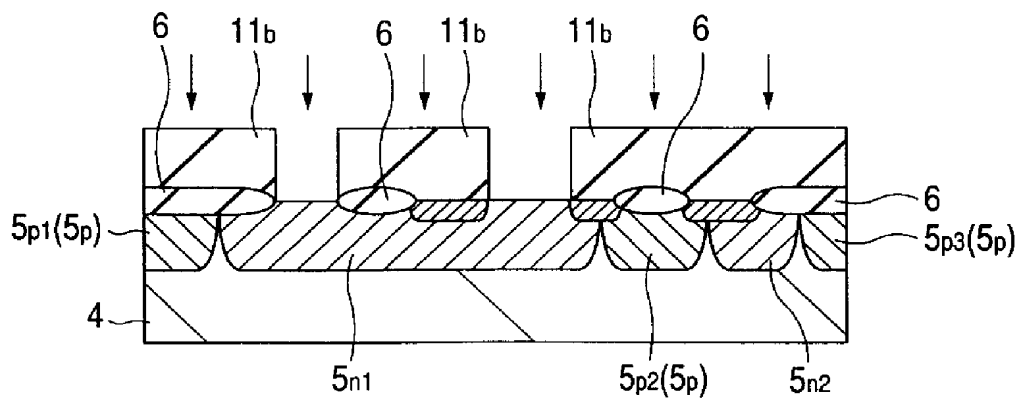


图 6

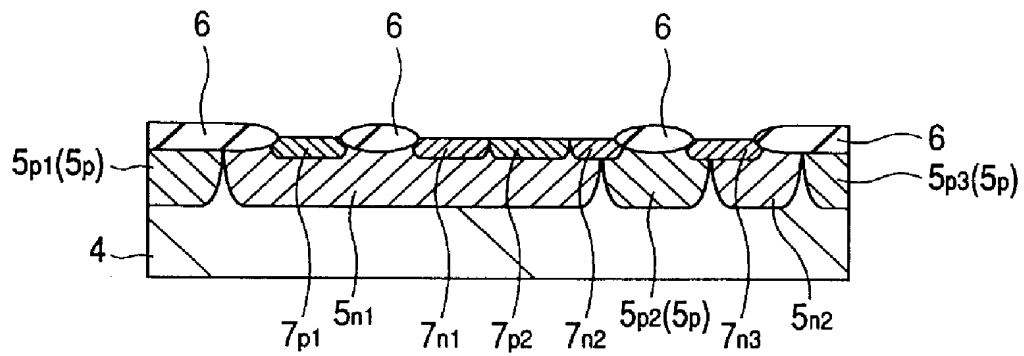


图 7

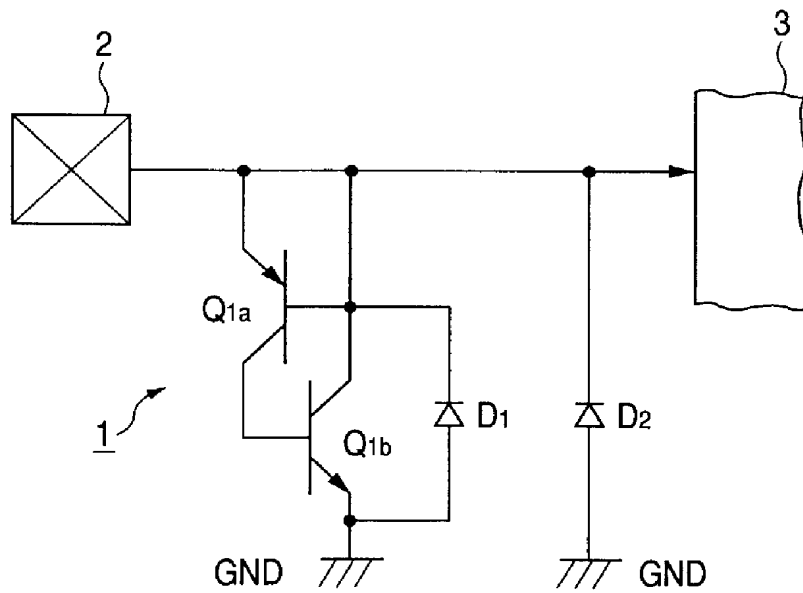


图 10

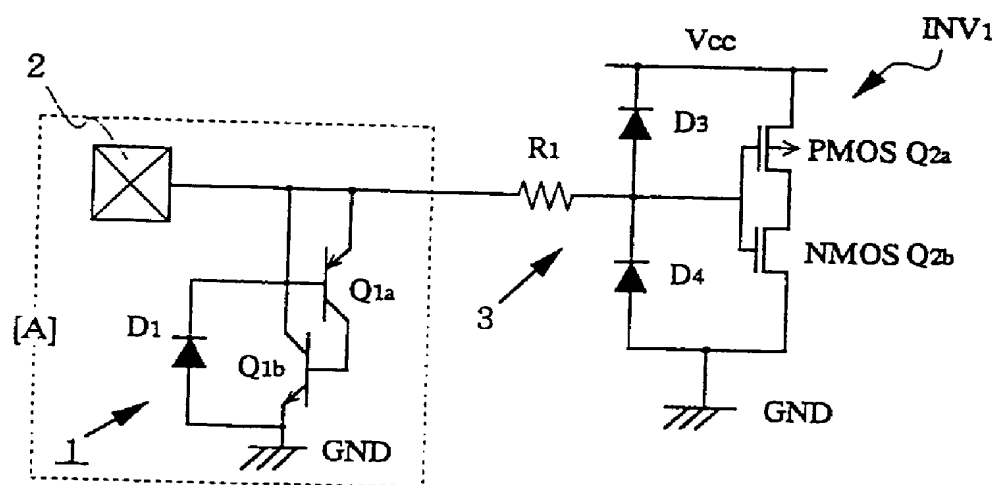


图 11

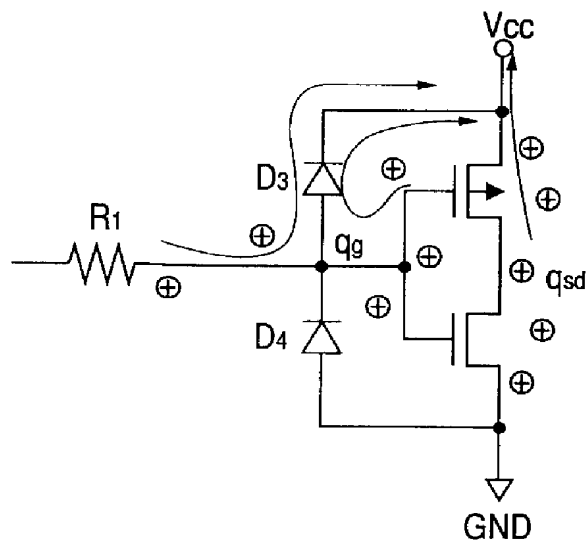


图 12

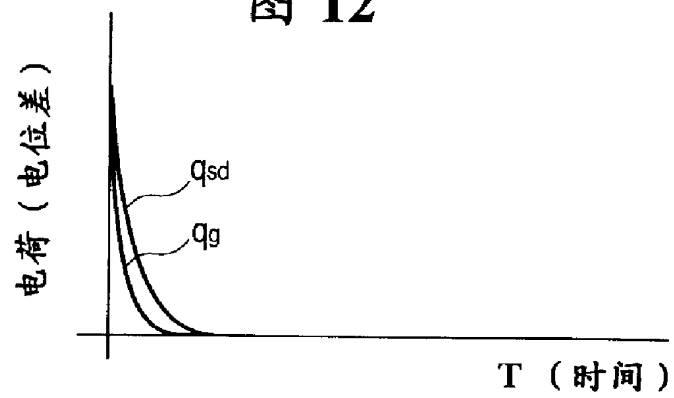


图 13

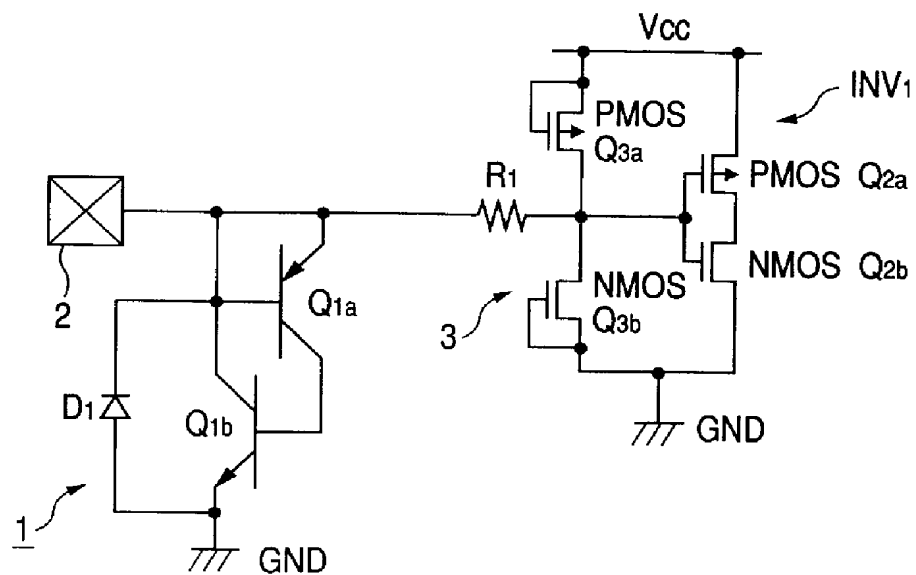


图 14

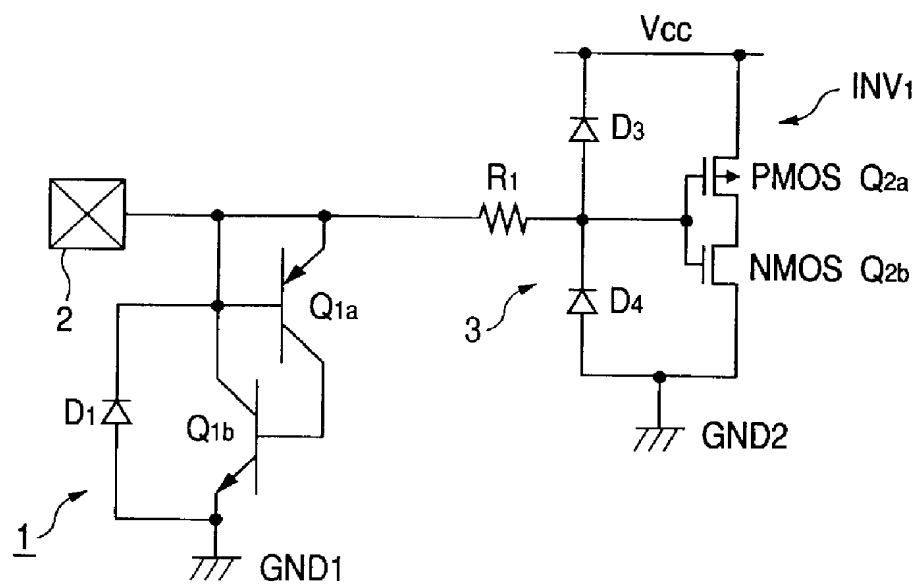


图 17

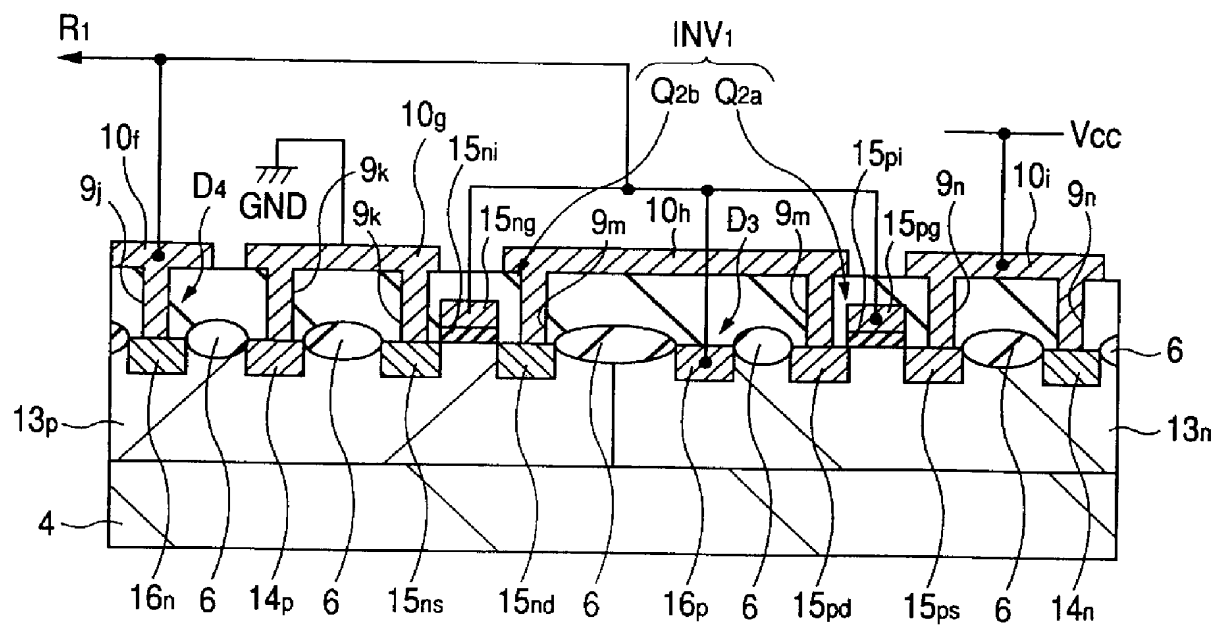


图 18

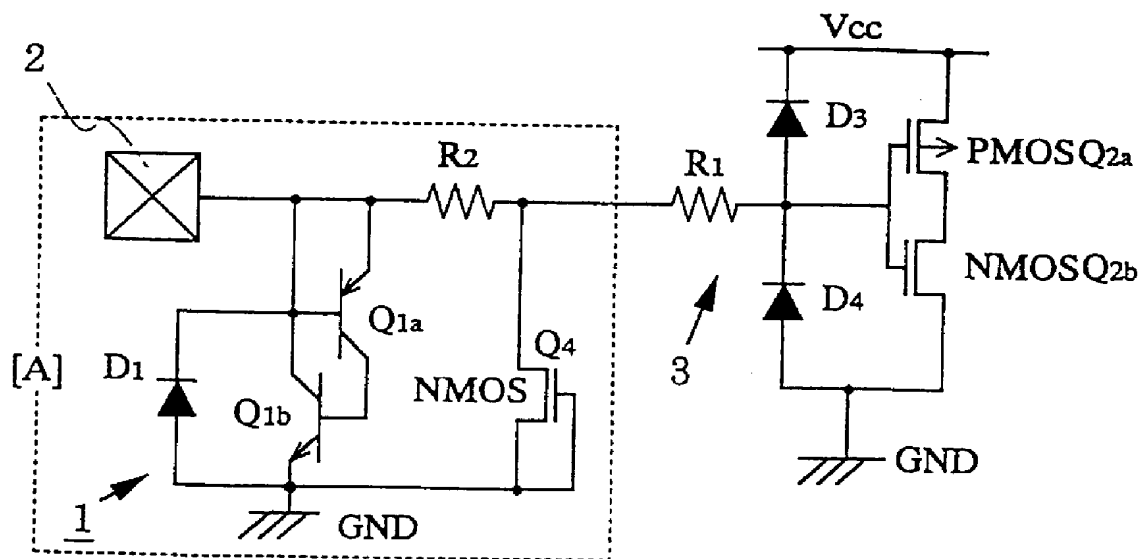


图 19

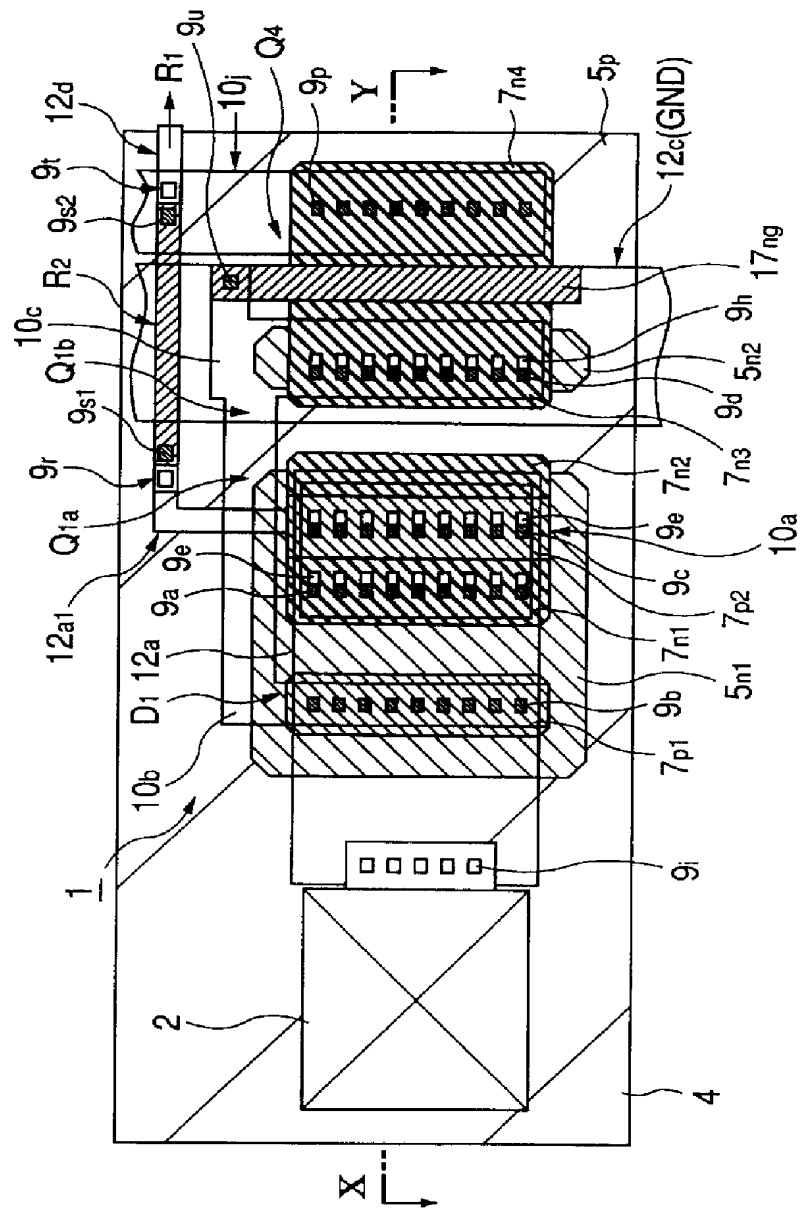


图 21

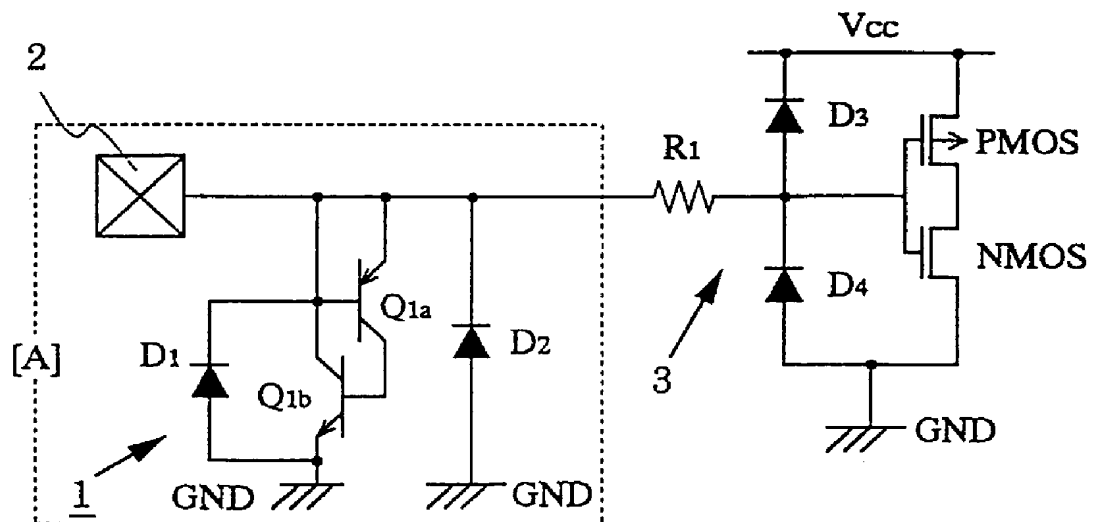


图 22

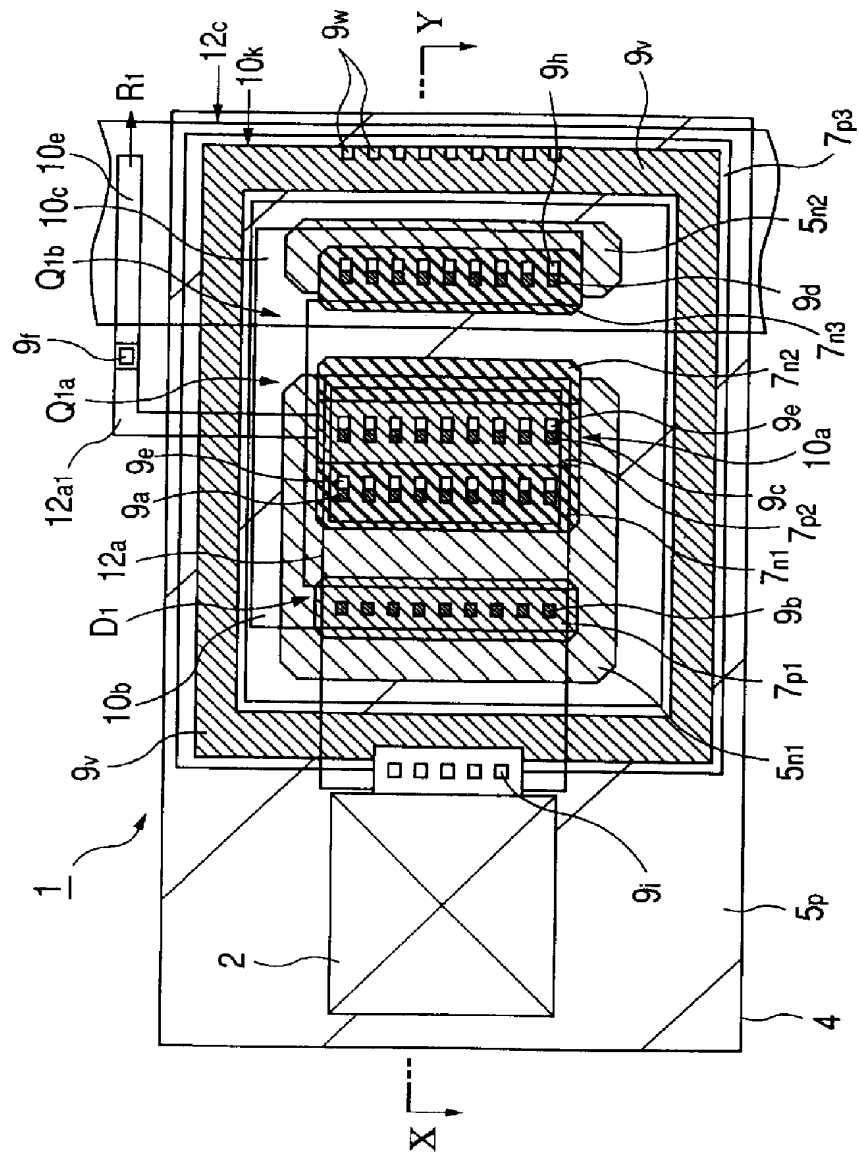


图 24

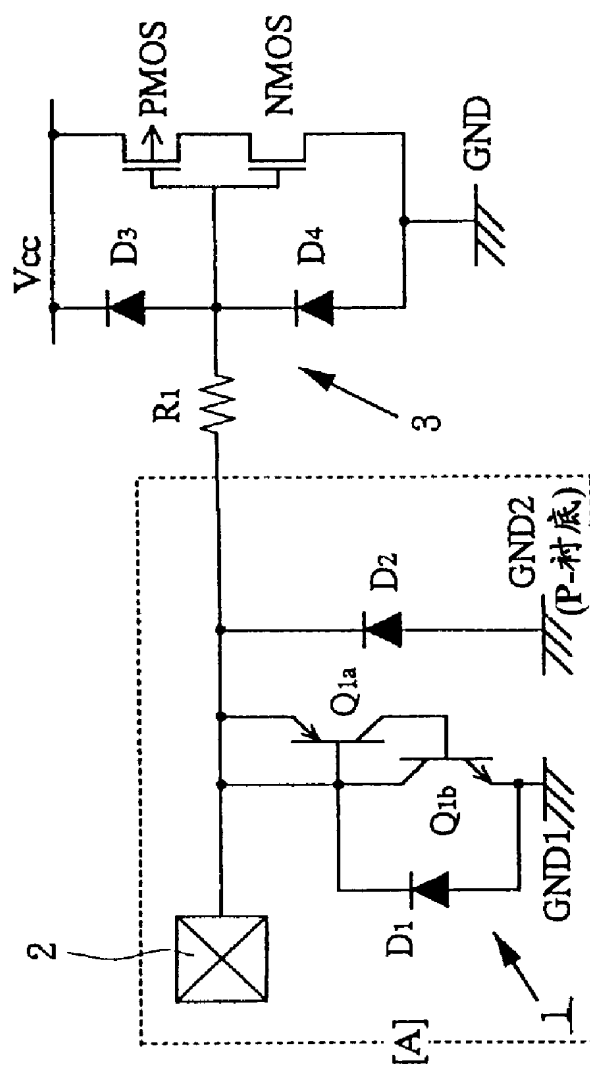


图 26

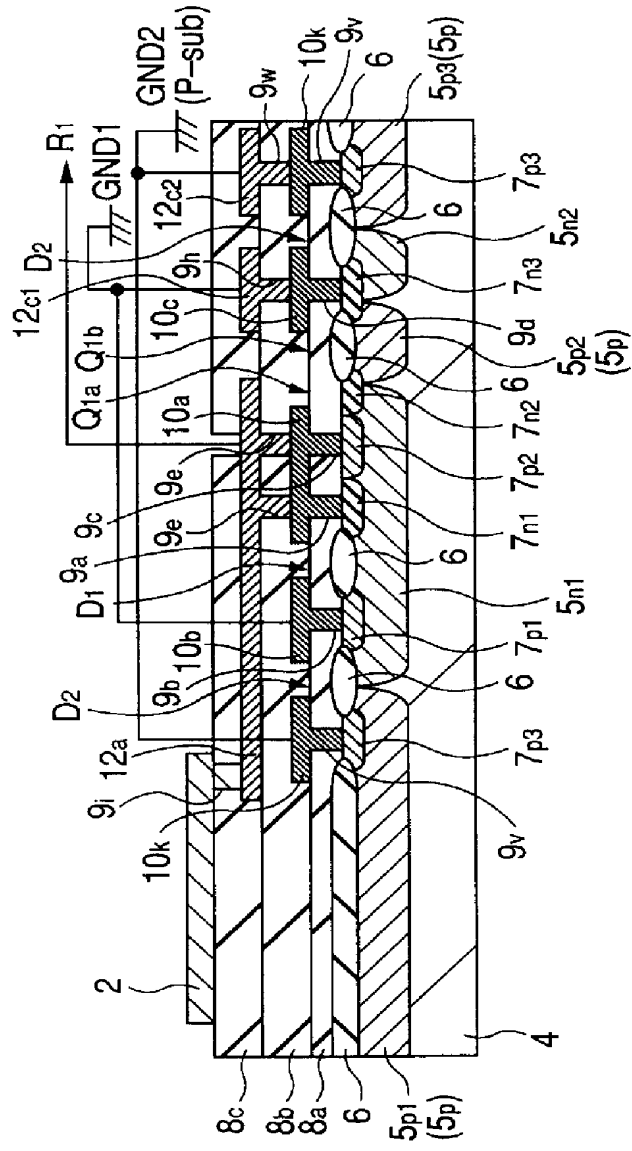


图 27

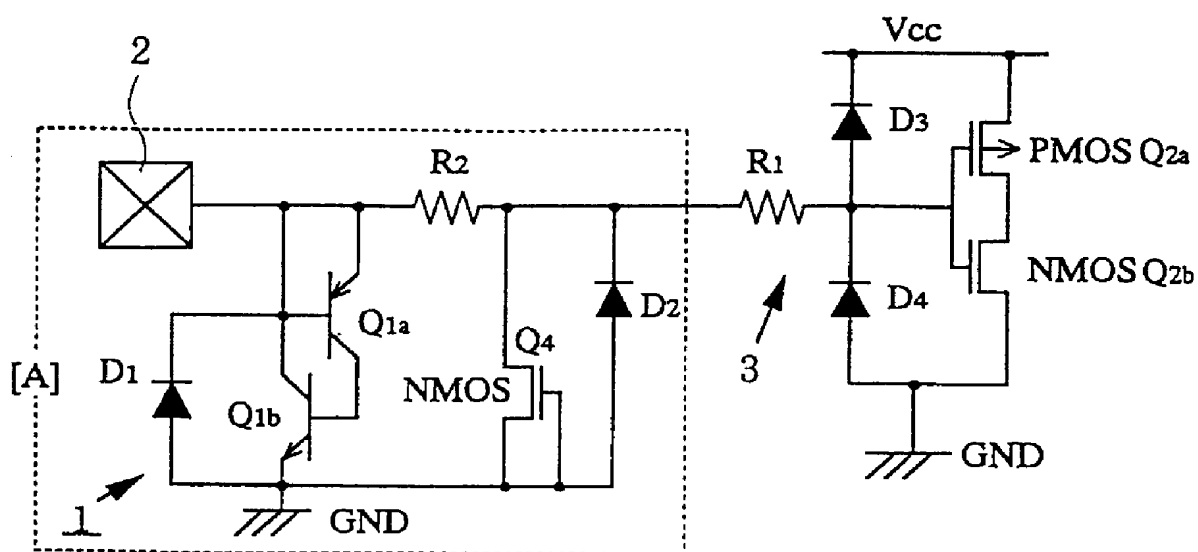


图 28

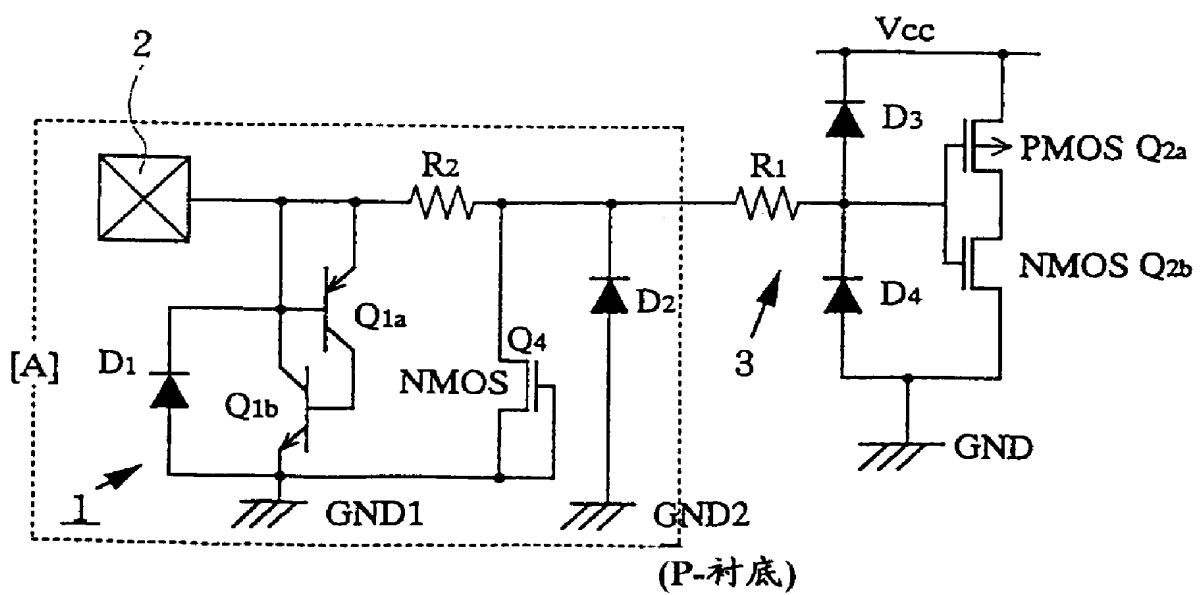


图 29

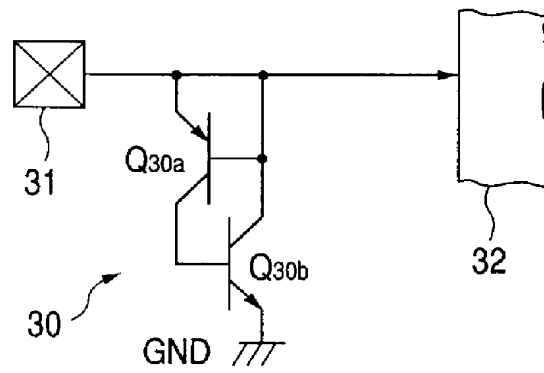


图 32

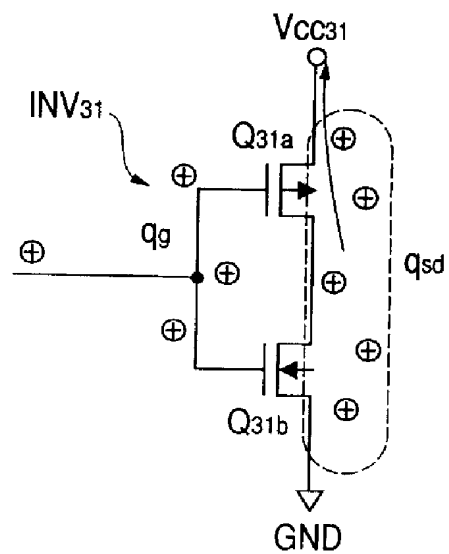


图 33

